INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS

2013 EDITION

プロセスインテグレーション、デバイス、及び構造

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

The ITRS is Jointly Sponsored by

European Semiconductor Industry Association

Japan Electronics and Information Technology Industries Association

Korea Semiconductor Industry Association

Taiwan Semiconductor Industry Association

Semiconductor Industry Association

ITRS の共同スポンサーは ESIA, JEITA, KSIA, TSIA, SIA です。

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2013 Edition(国際半導体技術ロードマップ 2013 年版)本文の日本語訳である。

国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors, 以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 15 のワーキンググループ(WG: Working Group)が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアムなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2013 年版は英文で 1000 ページを越える文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要が限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版以降、電子媒体で ITRS を公開することを前提に編集を進め、ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くの専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部は英文のまま掲載することとした。Overview の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出していない。また、ITRS 2013 年版では、各章の要約(Summary)を別のファイルとして作成し公開しているが、今回はこれを訳出していない。要約(Summary)は原則として、本文の抜粋となっていて、本文の日本語訳があれば、日本の読者にとっては十分と考えたためである。

原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。Executive Summary の用語集(Glossary)も参照されたい。原文の括弧()があってそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意訳している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便を

おかけするが、ご理解いただけば幸いである。
　今回の日本語訳作成にあたり、編集作業を担当いただいた、JEITA 内 SRTJ 事務局の幾見　宣之さん、関口美奈さんには大変お世話になりました。厚くお礼申し上げます。
　より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2014 年　7 月
訳者一同を代表して
電子情報技術産業協会（JEITA）半導体部会　半導体技術ロードマップ専門委員会（STRJ）　委員長
石内　秀美　（株式会社　東芝）

版権について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2014 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS　・SEMATECH, Inc. , 257 Fuller Road, Albany, NY 12203・http://www.itrs.net
Japanese translation by the JEITA, Japan Electronics and Information Technology Industries Association under the license of the Semiconductor Industry Association

－引用する場合の注意－

原文(英語版)から引用する場合：　ITRS 2013 Edition, Chaper XX, page YY, Figure(Table) ZZ
この日本語訳から引用する場合：　ITRS 2013 Edition　（JEITA 訳）XX 章、YY 頁，図(表) ZZ
のように明記してください。

問合せ先：
一般社団法人　電子情報技術産業協会
半導体技術ロードマップ専門委員会　事務局
電話: 03-5218-1061　電子メール: *roadmap@jeita.or.jp*

TABLE OF CONTENTS

プロセスインテグレーション、デバイスおよび構造

LIST OF FIGURES

LIST OF TABLES

プロセスインテグレーション、デバイス及び構造

1 記述範囲

プロセスインテグレーション、デバイス、および構造(Process Integration, Devices, and Structure: PIDS)の章では、主な IC デバイスとその構造、IC 製造プロセスフロー全般、及び、新しい技術選択肢(オプション)に関する信頼性トレードオフを扱う。PIDS では、特に物理的な構造、電気的な要求値や特性を提示する。パラメータとして、物理的な寸法やパラメータや駆動能力、リーク電流、信頼性基準を含むデバイスの重要な電気的パラメータが考えられている。これらは、統計的なばらつきを検討した上で、その中心値を示している。ここでは、産業界が直面している主な技術的課題を述べ、いくつかの最善の解決策候補を議論し提示する。なお、この章では、ロジック、DRAM、不揮発性メモリ: Non-Volatile Memory (NVM)、信頼性の節に分かれている。

ITRS の主な目的は、今までムーアの法則(Moore's Law)に沿って行ってきた CMOS 技術のスケーリングを維持するために キーとなる技術要求や技術課題についてその重要性を確認することと課題解決に向けて必要な研究と開発を促進させることである。この章では、解決策候補をリスト化して議論することで、重要技術課題についての現状最良な施策ガイドラインを示している。しかし、解決策候補は包括的な物ではなく、必ずしも最良の策とは限らない。そのため、ITRS の解決策候補は(技術開発を鼓舞するような)刺激的な内容になりがちであるが、新規技術や異なる解決方法の探求に対して制限を付けるものではない。

1.1 ロジック

生産されている半導体デバイスの多くはデジタルロジック関係である。この節では高性能用途および主に携帯機器に用いられる低消費電力用途のロジックを扱い、技術的要求の詳細と解決策候補がそれぞれ述べられている。キーワードは速度、消費電力、集積度である。キーとなるのは、これまでのデバイス性能改善の傾向を維持するために、最先端ロジック・テクノロジーとして MOSFET のスケーリングを維持することである。このスケーリングは、high-k(メタル)ゲート絶縁膜、歪技術、(薄膜埋め込み酸化膜の完全空乏型 SOI、FinFET)、といった材料導入やプロセス変更、さらに近い将来には、ゲートオールアラウンド(ナノワイヤー)や、高移動度チャネル材料のような新構造いった、数多くの大きな技術革新を引き起こし、産業界を牽引する。これらの革新技術は急速なペースで導入されると予想されている。ゆえに、技術の理解、モデリング、製造最適化について、最適なタイミングで行われることが期待されており、これが産業界にとって大きな課題になると予想される。

1.2 DRAM

半導体デバイス生産高のほとんどをロジックとメモリが占めている。この節で扱うメモリは、DRAM、不揮発性メモリ(NVM)である。メモリ技術を牽引するのは汎用メモリであるため、これらを中心に論じている。混載メモリについては、汎用メモリに少し遅れてではあるが、同じような傾向で登場すると予想している。なお、DRAM と NVM については、技術要求と解決策候補を詳細に述べる。

DRAM では 1 トランジスター1 キャパシタで構成されるセルの面積を縮小スケーリングすること、そのために実質限界の $4F^2$ セルを実現していくことが重要である。そのためには、縦型トランジスタの実現、電荷密度を向上するための高誘電体膜、さらに漏れ電流を低く保つ技術が必要である。

1.3 不揮発メモリ

この章で述べる NVM とは、何度も書き込み読み込みが可能なデバイスに限っている。読み出し専用メモリ(Read Only Memory: ROM)や 1 回だけ書き込み可能なメモリ(One-Time-Programmable: OTP)は含まない。ただ、依然としてこれらのメモリは汎用メモリや混載メモリ用途として重要である。現在の NVM の主流は Flash メモリで、NAND と NOR の Flash メモリはお互い異なる用途に使用されており、NAND はデータ記憶に NOR はプログラム記憶に主として使用されている。これら Flash メモリの縮小スケーリング時の問題はこの章で詳細に

説明されている。他の、強磁性体 RAM (Ferroelectric RAM: FeRAM)や磁気メモリ(Magnetic RAM: MRAM), 相変化メモリ(Phase-Change RAM: PCRAM)などを含む、電荷を用いないタイプの NVM も量産されており、Flash メモリの限界を超えてスケーリングを継続することを強く期待されている。しかしながら、NAND Flash やある程度の NOR Flash は依然として支配的であり、元々期待されていた主流の大容量 NVM となり得ていない。2013 年版から抵抗変化メモリ(Resistive Memory；ReRAM)が解決策候補として PIDS に追加された。

1.4 信頼性

信頼性は、プロセス集積化で重大な局面に差し掛かっている。新しい技術世代では、ある一定の割合で新材料と新プロセスの導入を進めていく必要があるけれども、その割合は、製品の信頼性を確保するために必要なデータ集めやデータベース構築の現在の能力を超えつつある。そのため、しばしば、現状の信頼性維持について深く追求する事無く、プロセスインテグレーションが進められることが起こる。信頼性が確保できなければ、性能、コスト、市場に出すまでの機会損失をもたらすことになる。信頼性余裕度の不足は、市場での故障を引き起こし、費用高になり、信用も失うことになる。これらの課題は、テストや信頼性モデリングの章での困難な技術項目において検討されている。この章では、信頼性に関する多くの課題を論じる。目標は、研究開発を必要としている技術課題を明らかにすることである。

2 困難な技術課題

半導体産業の目標は、全体的な性能において、テクノロジーの進化を継続できることである。 素子や最終的なチップの性能は、高速、高密度、低電力、多機能などの様々な観点から評価できる。従来、寸法のスケーリングが、こうした性能に対して十分にメリットをもたらしてきた。しかし、もはやそうではない。スケーリングを継続するには、プロセスモジュール、製造装置、材料特性などで困難な技術課題がある。こうした困難な技術課題を確認し、下記の表 PIDS1 にまとめた。 課題は 2013 年から 2020 年までの短期的項目と 2021 年から 2028 年までの長期的項目に分けられている。

Table PIDS1 Process Integration Difficult Challenges

Near-Term 2013-2020	*Summary of Issues*
1. Scaling Si CMOS	• Scaling of fully depleted SOI and multi-gate (MG) structures • Implementation of gate-all-around (nanowire) structures • Controlling source/drain series resistance within tolerable limits • Further scaling of EOT with higher K materials (K > 30) • Threshold voltage tuning and control with metal gate and high-k stack • Inducing adequate strain in advanced structures
2. Implementation of high-mobility CMOS channel materials	• Basic issues same as Si devices listed above • High-K gate dielectrics and interface state (D_{it}) control • CMOS (*n*- and *p*-channel) solution with monolithic material integration • Epitaxy of lattice-mismatched materials on Si substrate • Process complexity and compatibility with significant thermal budget limitations
3. Scaling of DRAM and SRAM	• DRAM— • Adequate storage capacitance with reduced feature size; implementing high-k dielectrics • Low leakage in access transistor and storage capacitor; implementing buried gate type/saddle fin type FET • Low resistance for bit- and word-lines to ensure desired speed • Improve bit density and lower production cost in driving toward $4F^2$ cell size

Table PIDS1 Process Integration Difficult Challenges

	• SRAM— • Maintain adequate noise margin and control key instabilities and soft-error rate • Difficult lithography and etch issues
4. Scaling high-density non-volatile memory	• Endurance, noise margin, and reliability requirements • Multi-level at < 20 nm nodes and 4-bit/cell MLC • Non-scalability of tunnel dielectric and interpoly dielectric in flash memory – difficulty of maintaining high gate coupling ratio for floating-gate flash • Few electron storage and word line breakdown voltage limitations • Cost of multi-patterning lithography • Implement 3-D NAND flash cost effectively • Solve memory latency gap in systems
5. Reliability due to material, process, and structural changes, and novel applications.	• TDDB, NBTI, PBTI, HCI, RTN in scaled and non-planar devices • Gate to contact breakdown • Increasing statistical variation of intrinsic failure mechanisms in scaled and non-planar devices • 3D interconnect reliability challenges • Reduced reliability margins drive need for improved understanding of reliability at circuit level • Reliability of embedded electronics in extreme or critical environments (medical, automotive, grid...)
Long-Term 2021-2028	• *Summary of Issues*
1. Implementation of advanced multi-gate structures	• Fabrication of advanced non-planar multi-gate and nanowire MOSFETs to below 10 nm gate length • Control of short-channel effects • Source/drain engineering to control parasitic resistance • Strain enhanced thermal velocity and quasi-ballistic transport
2. Identification and implementation of new memory structures	• Scaling storage capacitor for DRAM • DRAM and SRAM replacement solutions • Cost effective installation of high density 3-D NAND (512 Gb – 4 Tb) with high layer numbers or tight cell pitch • Implementing non-charge-storage type of NVM cost effectively • Low-cost, high-density, low-power, fast-latency memory for large systems
3. Reliability of novel devices, structures, and materials.	• Understand and control the failure mechanisms associated with new materials and structures for both transistor and interconnect • Shift to system level reliability perspective with unreliable devices • Muon-induced soft error rate
4. Power scaling	• V_{dd} scaling while supplying sufficient current drive • Controlling subthreshold current or/and subthreshold slope • Margin issues for low V_{dd}
5. Integration for functional diversification	• Integration of multiple functions onto Si CMOS platform • 3-D integration

2.1 短期(2013-2020)

[1] シリコン CMOS の微細化---

完全空乏型 SOI やマルチゲートの実現には困難が伴うと思われる。このようなデバイスは、通常、チャネルの不純物濃度が低いため、しきい値電圧がチャネルドーピングによって制御されることはない。プレーナバルクMOSFETでの高いチャネルドーピングと、確率的な不純物ばらつきに起因する問題は緩和されると考えられるが、新たな多くの課題が予想される。最も重要なことは、超薄膜ボディの厚さとそのばらつきを制御することと、確実で、しかもコストに見合ったしきい値電圧の設定手法を確立することである。さらにマルチゲート構造では、チャネル表面粗さがキャリア輸送と信頼性の問題を引き起こす可能性がある。これらの課題は、ナノワイヤー構造では、より深刻なものになるであろう。

ソース/ドレイン直列抵抗を許容範囲内に制御することも重要な問題になるだろう。電流密度が増加するので、寸法の縮小と低抵抗化を両立させる要求が大きな課題としてつきつけられる。これは、SOI やマルチゲート構造での薄いボディ、そして、究極の形であるナノワイヤー構造においては、より深刻な問題となる。現行の技術では、直列抵抗によって飽和電流が理想的な場合の 1/3 に低下してしまうと見積もられている。この比率をスケーリングに伴って維持するのは難しく、電流の低下は、より顕著になるだろう。

EOT スケーリングによって、許容範囲内にゲートリーク電流を保ちながら、全体的なトランジスタのスケーリングを実現するため、最新の技術世代では金属ゲート/high-Kのゲートスタックが導入されている。よりK値の高い材料(K >30)による EOT のさらなるスケーリングは、ますます困難になり、効果も小さくなると考えられる。SiO_2 界面層の形成抑制や除去は、界面準位の発生や、移動度と信頼性の劣化を引き起こすことが分かっている。マルチゲート構造の垂直面にゲート絶縁膜を成長することも課題である。全ゲート容量に対しては、スケーリングできない量子閉じ込め起因の容量が、ゲート絶縁膜容量に直列に入ってしまうことが根本的な足かせになる。

特に Vdd の低減に伴って、しきい値電圧を下げようとすると、金属ゲート/high-Kゲートスタックでのしきい値電圧の調整と制御には困難を伴うことが明らかになっている。プレーナバルクデバイスの場合、これは主に n-MOSFET では伝導帯、p-MOSFET では価電子帯の近くに、ゲートスタックの実効仕事関数をコスト的に許容できるプロセスで、かつ確実に設定することが難しいためである。この問題は、マルチゲートや SOI の様な完全空乏型チャネルでは、さらに厳しいものになるだろう。これらのトランジスタでは、実効仕事関数が(p-MOSFET と n-MOSFET それぞれに対して異なる値ではあるが)バンドギャップ内に設定される必要があり、しかも、チャネルドーピングによるしきい値調整が難しいため、仕事関数の制御がしきい値設定に特に重要となる。その上、複数のしきい値電圧のトランジスタを要求される場合もあるので、バンドギャップの範囲にわたって、仕事関数をコストに見合う方法で調整できることが役立つだろう。

内部歪により増大したチャネルキャリアの(垂直方向)低電界移動度と(水平方向)高電界速度は、MOSFET の性能要件を満たす大きな要因となっている。現行のいくつかのプロセス技術は、スケーリングに伴って歪を誘起する効果が弱くなる傾向にある。また、プレーナ構造向けの既知の技術を、立体(non-planar)構造へ適用することは、さらなる困難さと複雑さに直面するだろう。しかも、歪によるキャリア輸送能力の増大は、どこかで飽和すると予測されている。(さらなる詳細については、ロジック解決策候補の節を参照されたい。)

[2] 高移動度 CMOS チャネル材料の導入---

基本的な技術課題は、上に述べた Si CMOS スケーリングの技術課題と同様である。以下に、新しいチャネル材料によって追加される技術課題を示す。

III-V 族半導体上に MOSFET 品質の酸化膜を形成することは、長年に渡り産業界の目標であり、技術課題であった。この分野の研究開発は数 10 年続けられてきたが、ごく最近になってようやく成果が現れ始めた。しかしながら、high-K絶縁膜、界面特性、歩留まり、特性ばらつき、信頼性などの分野で、まだ多くの仕事が残されている。

殆どの III-V 材料では p 型キャリアの移動度が高くない。このため CMOS 構造を実現するためには、プロセス全体の複雑さは増大する(以下参照)ものの、Ge が良い選択であるとみなされている。一方、n 型と p 型の双方で同一のチャネル材料を使えることが望ましいため、InGaAs 以外の材料が検討されている。Ge CMOS は、n 型と p 型キャリアの真性移動度が Si と比較して共にかなり大きいため有望であるが、ソースドレインのドーピングやコンタクトに問題があるため、n 型チャネルの実現が難しい。

すでに確立した Si プラットフォームを利用するために、これらの新しい高移動度材料は、Si 基板上にエピタキシャル成長されることが期待されている。新材料と Si 基板の格子不整合は、結晶品質、歩留まりの点で本質的な技術課題を、また実用的にはコスト面での課題をもたらす。

高移動度材料を Si 基板上に成長することが要求されるのは、確立されたプロセスがあるというだけではなく、Si から構成される部品を、同じチップ上に集積できる期待があるからである。これらの Si 部品としては、例えば混載 DRAM や不揮発性メモリ、パワー・デバイスを含む能動アナログ素子、アナログ受動素子、高性能は要求されないが歩留まりに優れた大規模の CMOS 回路ブロックなどがある。こうした異なったプロセスが必要な、異種の材料を集積化することは、非常に大きな挑戦である。例えば、Si CMOS を III-V/Ge CMOS と集積化する事を取り上げてみよう。そこでは恐らく 3 種類の high-K 絶縁膜が必要となるだろう。必要な閾値電圧を実現するためには、異なる仕事関数をもつ異種のメタルゲートも必要であろう。また、すべてのプロセスが、熱履歴の観点でお互いに整合していなければならない。

[3] DRAM と SRAM のスケーリング---

DRAM においてスケーリングの一番の問題は、セルサイズが縮小の中で High-K 材料を改善し適切な電化蓄積容量を実現するかという点である。加えて、セルの電荷保持時間を維持するために、キャパシタリーク、キャパシタ接続部分のジャンクションリーク、キャパシタにアクセスするセルトランジスタのサブシュレッシュホルドリークなどを含めたトータルのリーク量をコントロールすることが重要になる。アクセストランジスタのリークを制限するとパフォーマンス（On 電流）が下がることになる。また、低抵抗な配線材料をワード線、ビット線に用いる事も DRAM スケーリングに対し DRAM セルへのアクセススピードの劣化を防ぐためには重要である。さらなる Bit 密度向上よるコスト低減のために 4F2 の DRAM があるが、高アスペクトプロセス、3 次元アクセストランジスタ構造等の実現が必要になってくる。最終的には革新的な構造として候補が挙がっている電荷蓄積キャパシタの無い DRAM(キャパシターレス DRAM)が実現できれば非常に有益である。

SRAM のスケーリングにおいては、増大する閾値バラツキ（不純物分布バラツキ起因など）と（相対的に大きく見えてくる）ランダムテレグラフノイズ（酸化膜中トラップサイトへの電子捕獲・再放出による閾値変動）によるノイズに対する許容マージンの確保と（信頼性起因の）不安定性（閾値や電流変化）の原因となる、ホットエレクトロンによる劣化、NBTI(負バイアス温度不安定性)による劣化をコントロール出来るかが課題となってくる。また、トランジスタのリーク電流を許容値に入れたり、リソグラフィと加工プロセスの困難度増加もスケーリング時の問題となっている。これらの課題の解決が最速の onchip メモリである SRAM で成り立っているシステムのパフォーマンスを確保するために最重要である。

[4] 大容量不揮発性メモリのスケーリング---

フローティングゲートデバイスに於ける根本的な課題は、トンネル酸化膜やインターポリ絶縁膜（IPD Interpoly Dielectric）が、スケーリングできないことと 消去中にゲート注入が行われないようにチャネルを制御する必要があり、0.6 以上の高いゲートカップリング比（GCR：Gate Coupling Ratio）が、必要で在り続けていることである。NAND フラッシュでは、これらの要求は、ページ動作やエラー訂正符号により少し緩和されるが、インターポリ（IPD）の膜厚を 10nm より小さくするのは難しいように思われる。20nm ハーフピッチ以下では、この形状の制限が、甚大な課題となる。加えて、フリンジ電界による電荷注入効果やフローティングゲート間のカップリング干渉による閾値変化、ノイズマージン、平衡状態での数個の電子のばらつきによるしきい値変動などが、今後急激に困難な課題となると考えられる。NAND のハーフピッチの微細化は、DRAM やロジックよりも進んでいるため、最新のリソグラフィ、エッチングや他の最新プロセスはまず NAND で試させることになろう。

チャージトラップデバイスでは、フローティングゲート間カップリングによる閾値変化やゲートカップリング比（GCR）の問題はやや軽減される。また、プレーナ構造なので、リソグラフィやエッチングの微細化の問題も若干改善される。近年、高誘電率のインターポリ膜とメタルゲートがフラッシュメモリに適用されハーフピッチで16nm という製品が開発されている。しかしながら、16nm 以下へのスケーリングは、フリンジ電界効果や数個の電子によるしきい値ノイズマージンの問題が未解決であることから困難であり、さらにワードライン間の電界耐圧の問題から究極的には 10nm 以下は実現困難である。

書き換え回数や書き込み速度もまた大容量・多値セル（MLC: Multi level Cell）品にとって困難な課題である。

3D 構造の NAND Flash は 256Gbit 以上のメモリ製品を目指して開発されているが、Bit コスト削減のため MLC の導入と信頼性の確保が大きな課題となっている。2011 年の予想に反して、2013 年に実際に製品化されたものは、大きなセルサイズ、多い積層数(24 層)であった。このように多い積層数で製品化が始まると、倍々で積み上げてコストを下げていく製品においては、すぐに 100 層以上の積層数となる。この増大する積層構造を実現するプロセス技術が困難な課題となっている。

[5] 材料、プロセス、構造変更、新応用と信頼性---

性能やリーク電流や他の要求値を満足するように微細化を行うには、おびただしい数のプロセスや材料の革新的な技術が必要と予想される。これらの革新的な技術は、高誘電率ゲート絶縁膜、メタルゲート電極、せり上げソース/ドレイン、最先端の熱処理と不純物導入技術、低誘電率絶縁膜材料などである。更に、薄膜ボティSOI MOSFET で始まり、超薄膜ボティ SOI MOSFET やマルチゲート MOSFET と続く、新しい MOSFET 構造も必要と予想されている。これら全ての革新的な技術について、タイムリーに信頼性を確保し、分析やモデリングを行うことは、非常に難しいと予想される。

最初に取り扱う短期信頼性の課題として、MOS トランジスタの故障メカニズムに関することを取り上げる。故障は、ゲート絶縁膜の絶縁破壊や許容範囲を越えたしきい値電圧変動を引き起こす。最初の絶縁破壊にまで至る時間は、微細化に伴い短くなっている。こうした最初の故障は、しばしば、”ソフト”絶縁破壊である。しかし、使用する回路により、IC チップ故障を引き起こすまでに複数のソフト絶縁破壊が必要であるかもしれないし、或いは、最初の”ソフト”絶縁破壊場所が”ハード”絶縁破壊に進行するまで、回路は機能するかもしれない。次に、しきい値電圧変動に関する故障は、主に反転状態での PMOS で観測される NBTI (Negative Bias Temperature Instability)の場合である。この現象は、デバイス微細化に伴うしきい値電圧の低下とともに、重要性を増している。最終製品での信頼性を向上するためのバーンイン試験は、NBTI 劣化を加速する可能性があるため、注意が必要である。高誘電率ゲート絶縁膜の導入により、ホットキャリアや NBTI、PBTI (Positive Bias Temperature Instability)によるトランジスタ故障モードと同じく、絶縁膜の故障モード(絶縁破壊や不安定性等)も大きく影響を受けている。ポリシリコンゲートからメタルゲートへの置き換えも絶縁膜信頼性に大きな影響を与えている。そして新たな熱機械(Thermo-mechanical)的問題も引き起こしている。 高誘電率ゲート絶縁膜とメタルゲートを同時に導入することは、信頼性メカニズムを分析・モデル化することをより一層困難にしている。将来展望にこの変更を入れる為には、たとえ長期間の研究の後でさえ、解決されるべき二酸化シリコン膜の信頼性に関する課題がまだ残っている。

前述した様に、銅配線と低誘電率絶縁膜への移行は、エレクトロマイグレーションやストレスマイグレーション、より脆弱な機械強度、界面剥がれ、熱伝導性の低下や低誘電率絶縁膜の多孔性という信頼性課題を提起している。アルミニウムから銅への移行は、エレクトロマイグレーション機構を結晶粒界から表面拡散へと変えた。また、ストレスマイグレーション機構を細い配線から太い配線上のビアへと変えた。銅/低誘電率膜構造の信頼性は、界面に非常に敏感である。低誘電率絶縁膜の機械的脆弱性はウェハプロービングやパッケージングに影響を及ぼし、また、低誘電率絶縁膜の低い熱伝導性は高いチップ温度や大きな局所熱勾配を引き起こし、信頼性に影響を及ぼす可能性がある。低誘電率絶縁膜の多孔性はプロセス化学物質と水分を捕獲し、移動させうるので、腐食や他の故障に至る可能性がある。

さらに高性能・高パワー集積回路の最先端パッケージングに関する信頼性課題がある。電力、ピン数、環境規制(鉛フリー等)が増加すると、これら全てがパッケージ信頼性に影響を及ぼす。また特に配線間低誘電率膜を導入することで、パッケージとダイとの相互作用が増加する。積層チップのパッケージングや異種デバイス集積化等は、信頼性のより大きな課題となる。さらに電流の増加とボール/バンプの微細化により、エレクトロマイグレーションによる故障の危険度が増加する。コスト削減はボンディング接続線を金から銅の様な材料への置き換えを強いる結果となり、金と同様に高い信頼性を得る為に追加要求項目が出てくることになる。

IC は、たくさんの異なる応用製品で用いられる。その中には、特に信頼性が課題となるいくつかの特別な応用がある。まず、IC に加えられる外部環境が、典型的な一般消費者向けやオフィス向けよりも非常に強いストレスを与える応用範囲がある。例えば、自動車、軍事、宇宙利用は、極端な温度や衝撃ストレスを IC に与える。さらに、航空や宇宙利用では、放射線環境というより厳しい環境がある。また、基地局での使用は、IC に高温での数 10 年に渡る連続使用を要求する。これは、制限のある使用での試験を加速する。次に、生体埋めこみ電子機器や安全システムなどのような重要な応用範囲があり、それらにおいては、IC 故障が通常の主流 IC 使用の場合よりもはるかに重大事となる結果を引き起こす。

それぞれの故障メカニズムに対応した寿命分布が存在するということが、信頼性工学の核心部分である。故障率低減要求の増加とともに、初期故障時間分布(the early-time range of the failure time distributions)がより一層、重要視すべきである。微細化に伴いプロセスバラツキ(不純物原子のバラツキ、CMP バラツキ、ラインエッジラフネスなど)が増加してきている。同時に、故障を起こす欠陥のサイズも微細化とともに小さくなってきている。このような傾向は、故障分布の時間的な広がりが大きくなり、初期故障が早いタイミングで起こるようになってきたためと解釈できる。従って、デバイス物理特性のバラツキ増加を処理できる信頼性工学ソフトウェア技術(スクリーニング、認定、信頼性考慮の設計)の開発と、信頼性予測での定量化するための正確な統計データ分析を実行する必要がある。絶縁破壊とエレクトロマイグレーションの信頼性データ分析では、ワイブル統計と正規対数統計による解析技術がよく確立されている。しかしながら、信頼性余裕度は小さくなっているので、リスクを定量化するためにも統計的な信頼境界については、より注意深い対応が必要とされている。これは、新しい故障メカニズムによって従来の統計的分布から深刻かつ重要な逸脱に結びついて複雑さを増しており、故障分析が単純でなくなっている。BTI やホットキャリア劣化のような他の信頼性データの統計分析は、現在、実際上標準化されていないが、回路故障率の正確なモデリングに必要とされるかもしれない。

2.2 長期(2021-2028)

[1] 先進的マルチゲート構造の実現---

長期的には、現在のロードマップの終焉へ向けてトランジスタのゲート長は 10nm 以下にまで縮小されると予想される。その際には、効果的にデバイスを微細化し短チャネル効果を抑制するため、低ドープの極薄ボディを有するマルチゲート MOSFET が用いられると予想される。その他にも High-k ゲート絶縁膜、メタルゲート電極、ひずみシリコンチャネル、せり上げソースドレインなどの上述のプロセスや材料はすべて導入されると予想される。SOI やマルチゲートのボディの厚さは 2nm 以下になると予想されるが、このように薄いデバイスにおける量子閉じ込めや表面散乱の効果はまだよく理解されていない。極薄ボディでは、ソースドレインの寄生抵抗の要求値を満たすため、さらに制限が加わることになる。最後に、これらの先進的な超微細 MOSFET では、キャリア速度の温度加速やソース端でのキャリア注入を加速する準バリスティック動作が、高い動作電流を得るために必要になると考えられる。しかし同時に、このような非平面型デバイスにおけるひずみ効果による性能改善は、さらに難しくなるであろう。

[2] 新しいメモリ構造の同定と実現---

特に蓄積キャパシタのフットプリントを縮小し続けている微細化された DRAM は困難度が増してくると考えられる。極低リークと低消費電力を達成する更に薄いウルトラ high-k 絶縁膜が必要である。また、キャパシタのない DRAM に置き換えることができると大変有益である。現在の 6-トランジスタ SRAM は面積を取っており、革命的な代替案は非常にメリットが多く、これを見つけることが、我々の挑戦である。

大容量で、高速、低消費電力の不揮発性メモリが望まれている。究極的な密度にまでスケーリングするには、許容可能な歩留まりと性能を持ち、モノリシック構造で実現された積層セルアレイなどを用いた3次元構造が必要となろう。3D-NAND 構造の開発では 100 層以上の積層やコスト低減の手法が課題になるであろう。また電荷を利用しないタイプの不揮発性メモリにとってもコスト低減は課題で、(メモリ素子に接続する)有効な分離(選択)素子を見つけることが重要であり、Tb (テラビット)の密度を実現するためにはやはり3D化が必要となる。勿論 Flash に選択分離素子(この場合はトランジスタ)を使用しているのと同様な選択素子が無ければ2端子素子の積み上げはコスト的にも技術的にも難しい。1Tb を超えて容量を増大させるにはより一層の技術革新が必要である。

詳細については Emerging Research Devices 章を参照されたい。

[3] 新デバイス、構造、材料の信頼性---

長期での信頼性の困難な技術課題はデバイス構造、材料、応用での新規で破壊的な技術変化に関するものである。例えば、いつかの時点で、銅以外の配線技術(光配線やカーボンナノチューブ配線等)や、従来の MOSFET に代えてトンネル現象を用いる FET を実用化する必要があると考えられる。そうした破壊的な新技術については、今の時点では信頼性に関する知見(少なくとも、IC におけるそれらの適用に関する限り)は、殆どなく、あったとしてもほんの少しであろう。これは、新技術の信頼性を調査し、ストレス, 形状と材料に対する寿命の依存性物理をモデル化し、同時に寿命分布を統計的にモデル化し、そして獲得した知見(新しいビルトイン信頼性、デザインイン信頼性やスクリーンとテスト)を適用するといった一連の多大な努力が必要であることを示している。このように信頼性を高めることは、歴史に残るほど多くの時間や多額なお金が掛かるようには思えないが、破壊的な新技術の材料やデバイスでは信頼性は劣化し、改善するには多くの資源をつぎ込まなければならなくなるであろう。

[4] 電力のスケーリング---

サブスレショルドスロープの理論限界値~60 mV/decade から、Vdd のスケーリングが、他のパラメータより難しいことはよく知られている。この傾向は続き、Vdd が 0.6V に近づくと、スケーリングはかなり厳しくなってくる。このように Vdd のスケーリングが難しくなると、スケーリングとともに電流密度(単位面積当たり)が増加していくことと相まって、ダイナミック電力密度（Vdd^2 に比例する）は、すぐに受け入れ難いレベルまで高くなってしまうことになる(トランジスタ単体あたりの電力は下がるが)。高移動度を持つ別のチャンネル材料を用い、積極的な Vdd スケーリングを行うことで、この問題を少し緩和することができる。一方、~0.6V 以下の Vdd となると、閾値電圧のプロセスばらつきによる回路マージンを検討する必要が出てくる。LP テクノロジーは、特に、スタティックパワーを最小にするように設計される。

高性能ロジックでは、チップの複雑さの増加やスケーリングに伴うトランジスタのオン電流が増加傾向にあり、同時にスケーリングに伴った高性能化実現のための高い目標値が設定されていることもあわせて、チップのスタティックパワー消費を制御することは難しくなると予想される。チップ上に複数のタイプのトランジスタ(リーク電流の大きい高性能トランジスタとリーク電流の小さい低性能トランジスタ)を利用すると共に、パフォーマンスとパワーマネジメント(例えば回路/システム効率を改善する並列処理、動作していないトランジスタの電源遮断の積極的利用、他)に対する回路設計とアーキテクチャの技術革新が、要求性能と省電力化のどちらも満足するチップを設計するために必要である。低いオフ電流もしくは小さい待機時電力と、スピード性能とのトレードオフが LP 技術のゴールである。

[5] 多様な機能の集積化---

チップもしくは技術の性能を測るには、スピード、集積度、パワー、ノイズ、信頼性などのみでなく、多機能性にても決まる。業界のトレンドとして、同一チップにより多くの機能を搭載する傾向にある。例えば、センサー、MEMS、太陽電池、エネルギースカベンジング(エネルギーハーベスティング)、RF、ミリ波デバイスなどである。当然のことながら、多くの違う種類の材料を集積化するのは、非常に大きなチャレンジである。同様に、Si ベー

スのCMOSロジック、メモリに高移動度チャネルCMOSを集積化することも、前に述べた様に多くのチャレンジがある。

チップ当たりの集積密度を上げるため、業界のトレンドとして 3-D (3次元)集積化がある。PIDS の分野での 3-D の課題は、誘起ストレス、動作時の高温化、寄生容量、干渉、分離要求、プロセス要求、そして、それらの適合性、さらに、デバイスの信頼性である。

3 ロジック

3.1 ロジックに対する技術要求

高性能ロジック(HP : high-performance)と低消費電力ロジック(LP : low-power)といったデジタル IC の MOSFET に対する技術な要求項目についてまとめる。高性能ロジックとは、デスクトップ PC やサーバーのマイクロプロセッサユニット(MPU)のように非常に複雑で高速だが、比較的消費電力の大きいチップのことを指す。低消費電力ロジックとは、主に、消費電力、すなわちオフ電流が電池の寿命で制限されるような携帯機器向けのチップを指す。LP は、昨年までの LSTP (low standby power)に相当する。また、本年度より、LOP（low operation power もしくは、low dynamic power）を削除した。

低消費電力ロジックの指標は、オフ電流 Ioff である。ゲート電流やドレイン接合電流などの他のリーク電流に関してもオフ電流と同等の電流値を考えているが、オフ電流には、加えていない。これらゲートリークなどは、信頼性など別の面での考慮が必要となる。LP の Ioff は、HP の Ioff よりもかなり低く、その結果、オン電流も低くなる。動作電力の主な指標は、CV2 である。

ロジック技術のロードマップ作成において、基準としていたのはトランジスタのイントリンシックな速さ、CV/Ieff の逆数だった。(トランジスタの遅延時間の別の指標として、電流値の加重平均から導出される実効的なドレイン電流 Ieff を使った CV/Ieff が提案されており[1]、CV/Id,sat より幾分正確とされている。我々は、主要なスケーリングのトレンドを辿るためには十分正確であることと、これまでのロードマップとの整合性をとるために後者の指標を使い続けている)。ロジックでは、この I/CV スピードが年率何％でスケーリングしていくかで特徴づけられる。1年毎の CV/I の改善はオン電流の増加(同一オフ電流での)と、ゲート長縮小によるゲート容量の減少、電源電圧 Vdd の低下によって達成される。CV/I は、長い間、年率 10%の改善として考えられてきた。最近の調査や文献では、ゲート長のスケーリングが以前と比べて少し進んでいる。同時に、回路のクロック周波数の増加も同様に進んでいる。

実回路でより正確にスピードを計測するには、リングオシレータの遅延時間を測定するのがよい。遅延時間には、接合容量やインターコネクトの容量などの寄生容量が含まれている。これは、実際に測定できる最も早い回路速度でもある。他方、スケーリングおいても CV/I と遅延時間は比例しており[2]、デバイスのスピードを示す指標として、使い続けている。

結局のところ、MOSFET のスケーリングは、低電力のままスピードを改善するためにチャネル材料を変えていくことになる。高駆動能力を得るためには、有効質量が軽い材料を用いることが考えられており、キャリア速度の向上やソース端での注入速度の向上が図れる疑似バリスティック輸送を用いる。現状では、NMOS には、InGaAs、PMOS には Ge の適用が考えられている。Si と比べ、同等の速度（I/CV）でも大幅に電力を減らすことができると考えられており、2018 年に導入されると予想されている。

これらのロジック素子のそれぞれで、構造について複数のパラレルパス(parallel path)が示されている場合がある。プレーナのバルク CMOS は安価なため可能な限り延命される一方で、極薄膜ボディ/BOX（UTBB）の完全空乏型(FD)シリコン・オン・インシュレータ(SOI) MOSFETs やマルチゲート(MG) MOSFETs (FinFETs)といった先進的な CMOS 技術が実現され、ある期間に渡ってプレーナバルク CMOS と並存することである(詳細はロジックテーブル参照)。マルチゲート構造については、バルク基板と、SOI 基板のどちらを使うのかが常に問われているが、基板が異なっても本質的な DC および AC 性能は同等と推測され、性能予測の結果には影響がない[3]。問題はコスト、プロセスの複雑さ、ばらつき、設計レイアウトの複雑さとのトレードオフである。近い将来、

どちらの基板を選択するかが明らかになるだろう。スケーリングが進むと、プレーナバルク MOSFET では高濃度のチャネルドーピング、短チャネル効果を十分に制御できないこと、その他の問題(詳細は困難な技術課題(Difficult Challenge)節の項目 1 を参照)のために多くの困難が生じる。SOI やマルチゲートといった先進的な CMOS 構造は、よりスケーリングしやすいので、ロードマップ上では遅れて使われることになる。事実、マルチゲート MOSFET のスケーリングは UTBB FDSOI のスケーリングよりも有利である。電気特性が異なる理由や MG,UTBB FDSOI と Bulk のスケーリングに関する比較について[2]で説明されている。究極の MOSFET はロードマップの終焉までマルチゲートデバイスであると予測されている。半導体業界全体では、各企業がプレーナバルク CMOS から先進的な CMOS 技術へ切り替わる時期は、各社の必要性、計画、技術的な強みに応じて異なるので、複数の方針が存在することになりそうである。パラレルパスが年度的に重なっているのは、この事を反映したことによる。

マルチゲート(MG)の次はゲート・オール・アラウンド(GAA)ナノワイヤー構造となろう。ナノワイヤー構造は、電気特性を制御できる最もスケーリングされたゲート長を有する究極の構造である。正確なデバイス性能を見積もるには、3-D シミュレーションが必要で、シミュレーションにより多くの有用な情報が得られる。残念ながら、今回は、十分な時間がなくナノワイヤーの性能を見積もれなかったが、次の改訂では載せるようにしたい。

この章で用いるデバイスの構造を図 PIDS1 に示す。これらは、TCAD シミュレーションでも用いている構造である。バルクデバイスでは、ソースドレインプロファイルは図に示すようにチャネル領域から斜めに伸びるとした。このソースドレインプロファイルは、短チャネル効果を抑制し、ソースドレイン抵抗も最小にすることができる階段接合とした。(後述の直列抵抗について議論した章を参照)実効チャネル長は、ゲート長の 80%、ソースドレインのゲートオーバーラップ量はそれぞれゲート長の 10%。MG 構造に関しては、図面は FinFET を上から見た図で、FinFET 高さは無限大である。そのため、電流値に関しては両サイドのゲートの単位長さ辺りの値で表す。言い換えると、フットプリントよりも反転層単位長さあたりの値となっている。
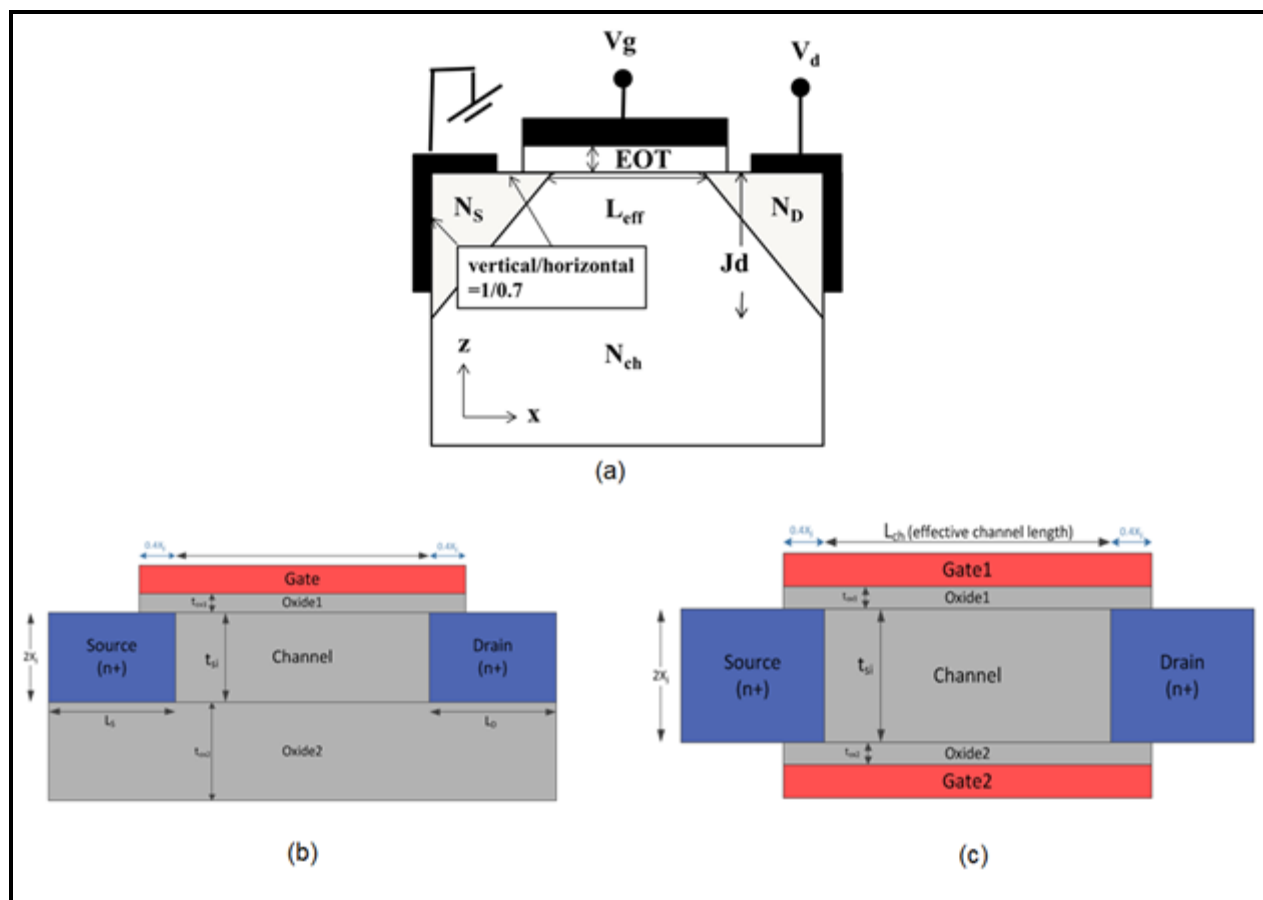
Figure PIDS 1　　Transistor Structures used for Simulations: (a) Bulk, (b) SOI, (c) MG

ばらつき抑制のため、不純物プロファイルは均一としている。論文にあるような詳細なデータが無いため、ばらつきのベンチマークも不可能である。そして、この均一ドーピングが等価なドーピングレベルであると理解しなければばならない。また、同じ理由から、階段接合と仮定している。

同じ EOT の値でも、絶縁膜の誘電率 K が異なれば、物理的な膜厚は異なり、電位分布に影響することが知られている。そのため、今回から必要となる誘電率 K を予測し、テーブルに載せている。実際には、ゲート絶縁膜は、異なる膜の多層膜で構成されているため、平均化した等価な誘電率 K を示していることになる。

MOSFET 固有の直列抵抗は、主に、S/D プロファイルの傾き、S/D シート抵抗、金属—半導体のコンタクト抵抗から成る。これらの成分を個々に分類することは難しく、また、デバイス構造からこれらを計算して求めることも難しい。ここでは、直列抵抗ゼロのときの理想的な電流値に対し、33%低下する抵抗値を許容値としている。

各々の表の特定のパラメータ値のセットが、特定のスケーリングシナリオを反映しており、目標値を達成する。しかしながら、入力パラメータの数が多く、別の入力パラメータセット(すなわち、別のスケーリングシナリオ)でも同じターゲット値を達成することも有り得る。例えば、あるテクノロジーが high-k 絶縁膜を導入することで酸化膜換算膜厚(EOT)を積極的に薄くしたが、別のテクノロジーではドーピングの最適化や歪を強めることで同じ結果を達成するという場合である。したがって、これらの表のスケーリングシナリオは半導体産業にとっての良い指針ではあるが、唯一の解決策を示している訳ではないので、各会社が採る実際の方針にはかなりの相違があるだろう。

荒っぽい仮定をしているため、正確性に欠けることを強く言っておく。既に言及しているように、公開されたデータでの校正は、詳細な情報が不足しているため、100%完璧なものにはならない。他の要因としては、15 年間という長期に亘る予測が難しいことである。これらのことから、精度としては±20%以内に入っていればよいと考えている。また、目指すゴールは、絶対値よりも、相対的な性能向上やそのトレンドが合っていることと考えている。

ロジックの技術要求テーブルの作成には、MOSFET のモデリングソフトウエア MASTAR が用いられてきた [4]-[6]。このソフトウェアは、文献データで正しいことを確認している詳細な MOSFET 解析モデルを搭載している。MASTAR は、技術的なトレードオフを効率良く分析するのに適しており、PIDS の計算に長年使用されてきた。MASTAR プログラムとその入力出力ファイルは、ITRS のウエブサイトからダウンロードすることができ、読者自身でテーブルを再現することができる。MASTAR はコンパクトモデルをベースにしたソフトウェアで、有限要素法を用いた数値計算の TCAD プログラムとは異なる。簡単に用いることができるという利点があるが、入力や計算方法に於いて TCAD と比べ物理に基づいていない。輸送パラメータは、移動度や飽和速度、バリスティック輸送係数を制御する値として入力される。

ロードマップの終焉近い 10nm 以下のゲート長になると、トンネリングや量子閉じ込めといった量子効果から、TCAD デバイスシミュレーションが必要となろう。そのため、この ITRS2013 版に向けて、初めて TCAD ツールの開発に取り組んできた。PIDS の原理原則は、テーブル作成のためのツールや入力ファイルは誰もが使用することができ、結果を再現したい人や興味がある人は誰もが影響を調べるために入力パラメータを変更できるということであった。しかし、TCAD シミュレーションは、誰もが簡単に使えるツールではなく、PIDS の原理原則からは逸れる。

我々は幸運にも Purdue 大学の NanoHib チームから支援を得ることができた。NanoHub は、多様なツールや講義が良く知られているだけでなく、公開討論でも有名で ITRS の目標とするところと合致する[7]。ゴールは、NanoHub 内に ITRS のサイトを持つことで、取扱説明書は勿論、シミュレーションツールや入力ファイルなどがサイト内に格納されている[8]。

２つの TCAD ツールを選定し、修正を加えて ITRS 作成に用いた。Padre[9]はバルクデバイス用として、NEMO5 は、SOI や MG 用として用いている。

Padre は、ドリフト-ディフュージョンモデルに基づいており、ゲート長 20nm 以下の MOSFET で顕著に現れてくる量子閉じ込め効果やバリスティック効果といった重要な難題を取り扱うことができる[9]。基本的には、原子論的なフルバンドシミュレーションを行う [10]。このことは、SOI や FinFET、ナノワイヤーFET といった薄膜デバイスに適している。しかしながら、バルクデバイスでは、デバイスが大きいために、このようなフルバンドの量子効果を含むアプローチは、膨大なコンピュータリソースや計算時間が必要となる。バルク MOSFET に於いて、完全量子輸送での非干渉性散乱は含まれていない[11]。モンテカルロ法、エネルギーバランス法、ハイドロダイナミック法、密度勾配法といった他のシミュレーションは、計算の収束性が悪く、計算時間も長い。特に、エネルギーバランス法[12]やハイドロダイナミック法[13]は、電流を過大評価してしまう問題がある。従って、ゲート長 14nm 以下の次世代ナノスケールバルク MOSFET が適用できる、DD（drift-diffusion）モデルを基にした標準 TCAD ツールにまで改善していくことが目標となる。現在のモデルでは限界があり、ソースドレイン間のトンネリングや不純物分布によるばらつきを含んでいない。そのため、大変注意して使用しなければならない。このような限界領域では、量子閉じ込め効果を用いることで、DD モデルシミュレータでもゲート長 Lg=20nm から 32nm の n 型 MOSFET の実測の *IV* 特性を表すことができる。この新しいモデルは、ゲート長 Lg=18nm の MIT ヴァーチャルソース（MVS）モデルでも実証済みである。量子閉じ込め効果は、MASTAR と同じく EOT の補正で行う。バリスティック抵抗、バリスティック輸送は移動度の縦方向電界依存性の修正モデルで表される。

$$v = \frac{\mu_0 E}{1+\left[\left(\frac{\mu_0 E}{v_{sat}}\right)^{\beta}\right]^{\frac{1}{\beta}}} \qquad (1)$$

NEMO5 は、最近接の sp3d5s 軌道のタイトバインディング(TB)[16]を考慮した Quantum Transmitting Boundary Method(QTBM)に基づく量子輸送シミュレータで SOI と MG デバイスのバリスティック領域での計算に使用する。タイトバインディング（TB）の有効性は、超薄膜 Si（ultra-thin body （UTB） silicon）での第一原理計算で確認されている。散乱に対しては、Lundstrom モデルが用いられている。バリスティック特性計算後、後方散乱モデル[17]-[20]として次の式[17]が用いられる。

$$T_c = \frac{\lambda_0}{\lambda_0 + 2l_{kT}} \qquad (2)$$

Vds が高いときは

$$I_{Scattering} = \frac{T_c}{2-T_c} I_{Ballistic} \qquad (3)$$

Vds が低いときは

$$I_{Scattering} = T_c \times I_{Ballistic} \qquad (4)$$

で表すことができる。ここで、T_c は透過係数、l_{kT} は電位障壁のトップと *kT* 分低くなったところまでの間の距離を流れる実効電流[19],[21],[22]である。この値は、各バイアス点でのバリスティックポテンシャルプロファイルから計算される。平均自由工程(λ)には、後方散乱モデルによる散乱効果が含まれる必要がある。この値は、UTB のシリコンボディ厚さを変化させた場合にゲートに誘起される電荷量が異なるという実験報告書[23]-[26]の値から抽出した値を用いた。我々が用いた平均自由工程を求める式を下記に示す。

$$\lambda = \frac{v_{ds}}{v_{inj}} \mu \qquad (5)$$

ここで、V_{ds} は 5mV 程度と大変低く、v_{inj} は最大電位障壁での電流を電荷で微分した値。μ は、移動度で、シリコンボディ厚さで決まるゲート下に誘起される電荷に依存する。

更に、TCAD シミュレーションでは、歪の無い（100）面を仮定している。メタルゲートは、ゲート絶縁膜界面で空乏層が無いとしている。ゲート仕事関数は、予め設定したオフ電流 *Ioff* になるようにしきい値電圧を調整する値が選ばれている。

ITRS で初めて TCAD を用いるため、Si の HP と LP 技術に対し、連続性を保つ目的で MASTAR による near-term の見積もりも続けている。III-V/Ge に関しては、時間が足りなくて、MASTAR で見積もった前回版の値をそのまま用いている。我々のゴールは、これらのチャネル材料に於いても TCAD で正確な値を見積もることである。

HP と LP トランジスタに関する特別な仮定を説明する前に、UTBB FDSOI と MG に関する三つの特徴について説明する。バルクデバイスがショートチャネル効果を抑えられなくて微細化が遅れる場合でも、UTBB FDSOI と MG、これらのデバイスは微細化が進む。

1．ショートチャネルでの制御性

MG の静電特性は最も良い。三方向のゲートで制御された高くて狭いチャネルから成り、三方向制御で fin 幅（ボディに相当）のスケーリングが UTBB FDSOI と比べ緩和されるためである。UTBB FDSOI では、静電特性の制御性は、シリコンボディ膜厚と BOX 膜厚で決まる[27]。シリコンボディ膜厚と BOX 膜厚を同じにスケーリングすることで、10nm 以下のゲート長でも DIBL＜100mV/V を満たす良好なスケーリングが可能である。シリコンボディ膜厚 Tbox と BOX 膜厚 Tsi は量産性とショートチャネルの制御性から、適切な値が決められる。

2．単位面積（unit footprint）当たりの駆動能力

fin のピッチを積極的にスケーリングできるならば、MG の方が単位面積（unit footprint）当たりの駆動能力は（3 次元動作が可能なため）高い。fin ピッチをスケーリングすることで単位フットプリント当たりの駆動能力が増加するが、ゲートコンタクト間のフリンジング容量と直列抵抗のトレードオフを引き起こす。フリンジング容量の歩み寄った値が PIDS のテーブルに反映されている。現在の PIDS テーブルでは、フットプリントではなく、MG 表面を流れる電流で規格化している。

2．Vt 調整のためのバックゲートの動的制御

UTBB FDSOI では、ボディ効果を上手く利用することでより適正な動作領域まで広げることもできる。ソースドレインが BOX 層（埋め込み酸化膜層）で基板と分離されているため、基板に Vdd の数倍の順方向、逆方向の電位を印加することができるためである。しきい値電圧は、－Vdd、＋Vdd を基板に印加することで 100mV の調整が可能となる[28]。低しきい値電圧化によるサブシュレッショルドレッショルドリークの増加があり、バックゲート印加ができるパターンになっている場合に有効である。MG(finFET)では、Fin の中にボディポテンシャルの侵入が少ないため、ボディバイアスは効果がない。Fin は、完全にゲート電界で制御されている。これは、FinFET の静電特性が大変良好であることの理由でもある。一般に FinFET のマルチ Vt は、ゲート仕事関数の調整やゲート CD 変調によるゲート長変更で行われている。PIDS テーブルでは、Vt が異なれば Ioff も異なるため、Vt は一種類で異なる Vt オプションは考えていない。

ハイパフォーマンス HP トランジスタ構造を PIDS2a に示す。プレーナーバルクトランジスタの微細化の難しさが反映されている。プレーナーバルクトランジスタでは、年々急激にチャネルドープが増加し 2017 年には $9x10^{18}$ cm^{-3} まで高くなることである。ITRS2013 版では、UTBB SOI は 2020 年までで、MG だけが、ロードマップ終焉の 2028 年まで続くことになっている。この件に関しては、シミュレーションで再考し、次の ITRS に反映させる予定である。

Table PIDS2a　High-performance (HP) Logic Technology Requirements - TCAD

トランジスタのオフ電流を全ての年度で 100nA/µm（HP）で固定しているが、これはチップの消費電力（static power）を減らすための重要な結論である。nチャネル MOSFET の飽和電流 $I_{d,sat}$ は、最初の 2～3 年増加した後、低下し始める。これは、年々電流が伸び続けていた今までのロードマップと大幅に異なる。電流低下の理由は、主に V_{dd} のスケーリングとチャネル長 10nm 以下でのソースドレイン間のトンネリングリークによる。このソースドレイントンネリングにより、デバイスがオフしにくくなり、またサブスレショルドスイング（SS）も増加する[27]。トンネリング電流増加に対し、オフ電流を一定を維持するためにしきい値電圧を高くすることになり、結果として反転層内に誘起される電荷量が減り、飽和電流が低下する。

トランジスタの重要な速度基準は、固有の速度 *I/CV* である。ここで *C* はゲート容量とゲートフリンジング容量である。これらのフリンジング容量は、チャネル領域のイントリンジックな容量よりも大きい。テーブルに示すように、ゲート容量に対する全フリンジング容量の割合は、微細化とともに増加し、2.0 で飽和すると予想される[30]。図 PIDS2 はテーブル PIDS2a の重要なスケーリングトレンドをグラフ化し可視化したものである。図に示されているように、速度は最初は年率4%で伸びるがその後横ばいとなる。前回の ITRS と比べ、速度 *I/CV* の改善率が低下しているのは、$I_{d,sat}$ が減少する傾向に一致している。
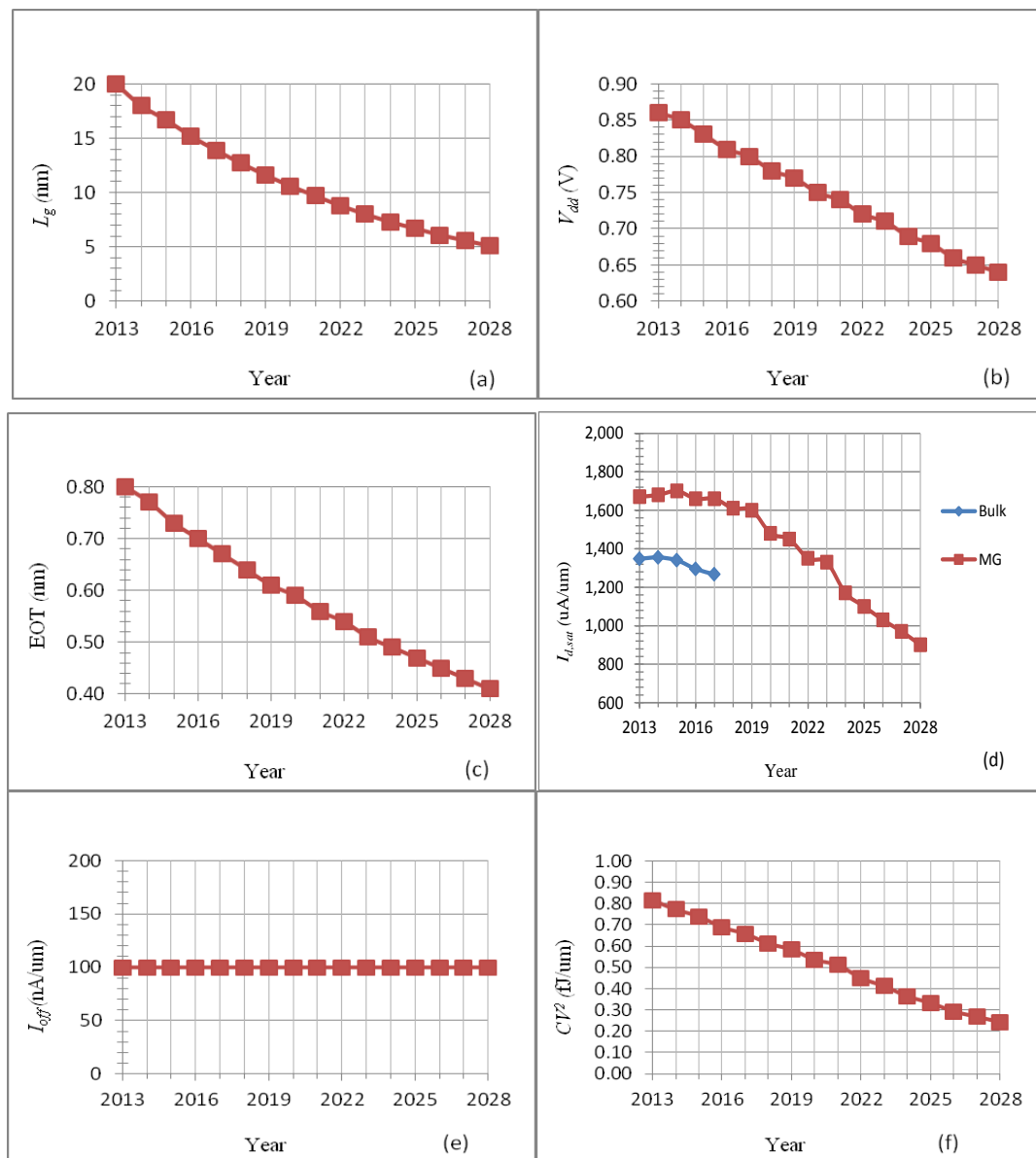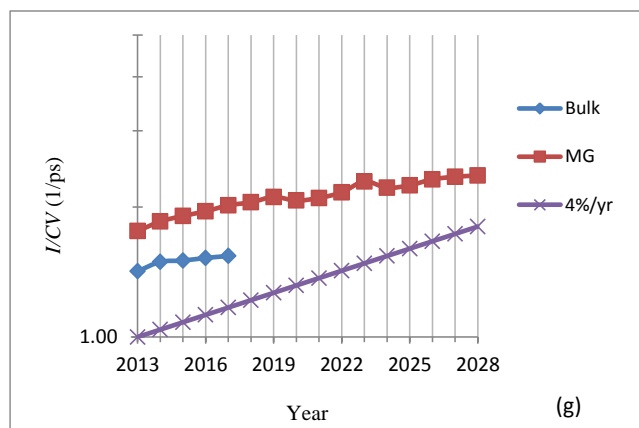
Figure PIDS 2 Scaling Trend of Logic HP Transistors. (a) Gate length, (b) Supply voltage, (c) EOT, (d) On-current Id,sat, (e) Off-current Ioff, (f) Dynamic power CV2, and (g) Intrinsic speed (I/CV)

以前の ITRS との連続性を確認するため、短期（near term）に関して MASTAR で作成した HP トランジスタの結果をテーブル PIDS2b に示す。

Table PIDS2b High-performance (HP) Logic Technology Requirements - MASTAR

LP トランジスタの特徴は、許容できるまで下げた速度で DC 電力が低い事である。ガイドラインとしてオフ電流 I_{off}を 10pA/μm（HP より 4 桁低い）、オン電流を HP の少なくとも 35%以上とした。オン電流がこのレベルより下がるようであれば、オン電流が規格になるまでオフ電流を増加させる。リーク電流を低く抑える必要性からゲート長のスケーリングは HP より遅れて進める。テーブル PIDS3a に示すように、EOT と *Vdd* は HP と同じトレンドである。図 PIDS3は、LPトランジスタの重要なスケーリングトレンドを示している。トランジスタの速度 *I/CV* は年率2%で伸びていく。LP トランジスタでは、ソースドレイン直列抵抗の規格は変化する。有用なコンタクト技術は HP と同時期に導入されることから、単純に HP と同じ値としている。

Table PIDS3a Low Power (LP) Technology Requirements - TCAD
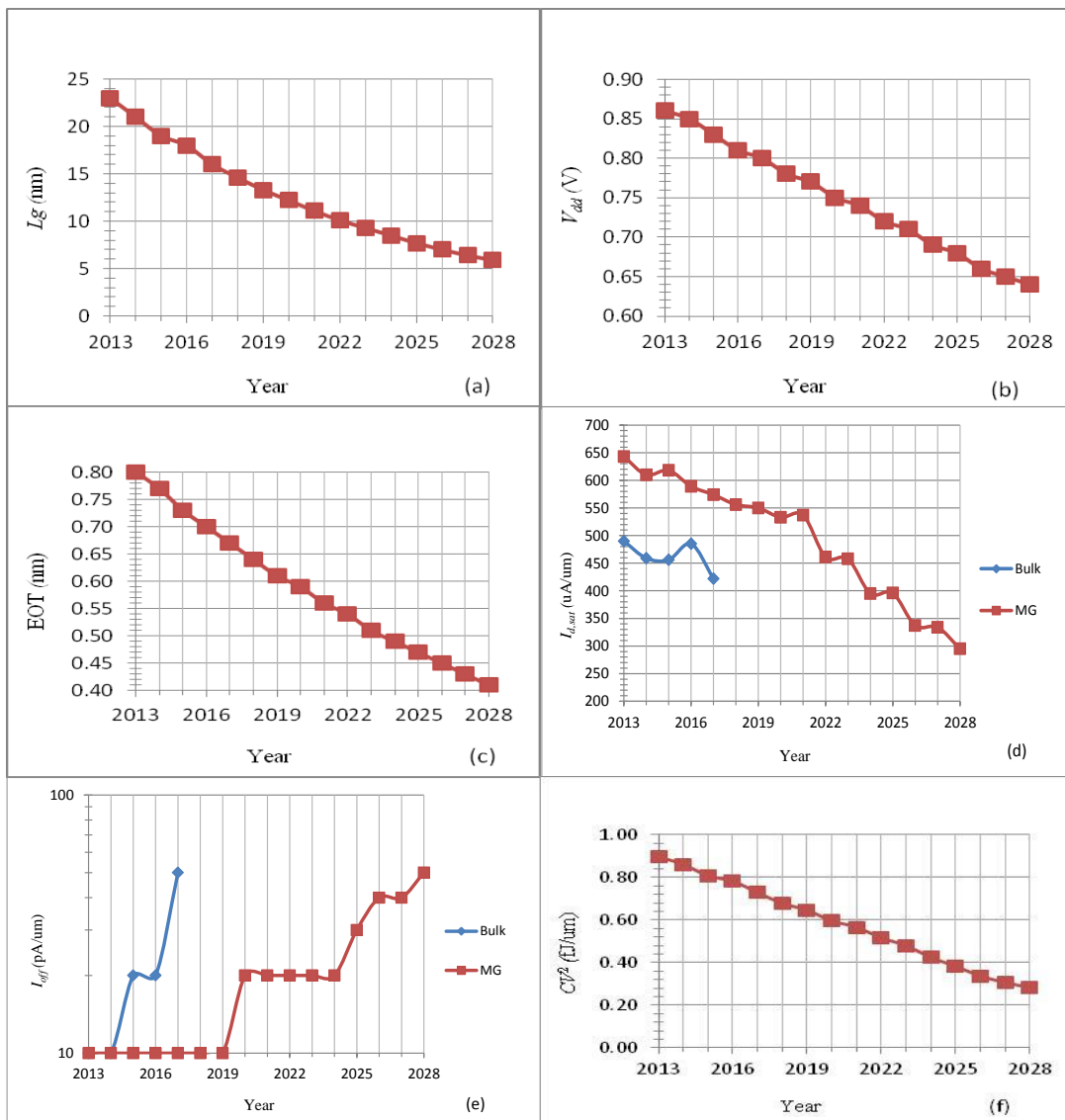
Figure PIDS 3 Scaling Trend of Logic LP Transistors. (a) Gate length, (b) Supply voltage, (c) EOT, (d) On-current Id,sat, (e) Off-current Ioff, (f) Dynamic power CV2 and (continued on next page)
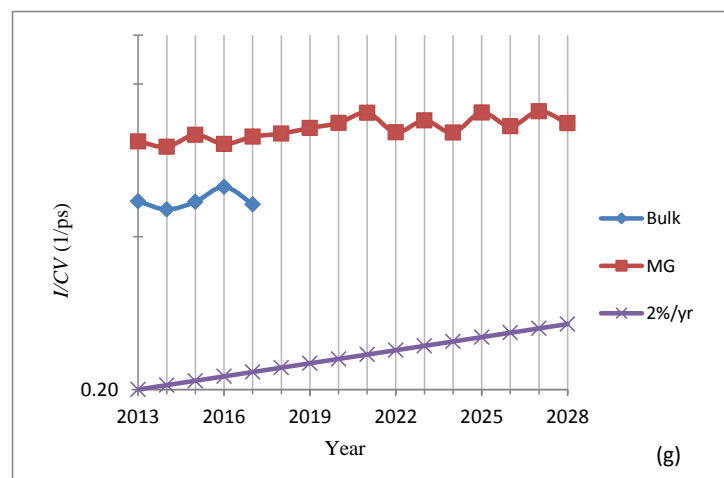
Figure PIDS3 (continued) Scaling Trend of Logic LP Transistors. (g) Intrinsic speed (I/CV)

比較用に MASTAR で見積もった LP 版短期（short term）のロードマップをテーブル PIDS3b に示す。

Table PIDS3b Low Power (LP) Technology Requirements - MASTAR

HP,LP ともシリコンという同じチャネル材料を用いているため､速度(高 Id,sat) と DC パワー(low Ioff)の間にトレードオフが存在する。良く知られているように、有効質量の小さい材料に代えることでキャリア輸送が改善し､高い電流を得ることができる｡最近の見解では､候補として n チャネルには InGaAs、p チャネルには Ge が考えられている。実際には、大規模な IC チップでは、電力により厳しい制限があるため、III-V/Ge では更に低い Vdd にする必要があり、速度は少し早くなる程度と予測されている。III-V/Ge 導入後は、ゲート長のスケーリングは、HP より 1 年遅れで進むと見られている。技術要求値と結果をテーブル PIDS4 に示す。これらの結果は、MASTAR で見積もった値で、前回の値を転記している。われわれの目指すところは、次の ITRS で TCAD を用いてテーブルを更新することである。MASTAR で仮定しているがゲートフリンジング容量などのモデルが TCAD と異なるため、ここで Si の HP、LP と III-V/Ge を比較する事は意味がない。

Table PIDS4 III-V/Ge High-performance Logic Technology Requirements - MASTAR

HP、LP、III-V/Ge のデバイス技術の概要を以下のテーブル PIDS5 にまとめた。ここでは、速度と動的電力、静的電力について記載している。最終的には同じ材料でのデバイスとなるため、異なるロジック技術のトレードオフは速度対パワー（動的電力と静的電力）となる。ここでは、HP に対する比率のみ記載している。シリコンをベースにした HP と LP の間には、速度、動的電力、静的電力にトレードオフが見られる。ところが、III-V/Ge では材料が異なるため、速度もパワーも改善している。

Table PIDS5 Comparison of HP, LP, and III-V/Ge Technologies in terms of speed and power.

	HP	LP	III-V/Ge
Speed (I/CV)	1	~0.4	>1
Dynamic power (CV^2)	1	~1	<1
Static power (I_{off})	1	~1x10^{-4}	1

3.2 ロジックの解決策候補

ロジックの技術要求表に色で示された技術課題と解決策候補には強い関連がある(図 PIDS4 参照)。多くの場合、技術要求表に示された｢赤｣(生産可能な解決策が知られていない)は、その技術課題に対する解決策候補の導入目標年に対応する。もう一つの重要な点は、各解決策候補が重大な技術革新を必要としていることである。これらの革新的な解決策に関連した、新しくかつ特異な信頼性、歩留まり、プロセスインテグレーションの問題を理解し対処するため、品質認定(qualification)／プレプロダクション(pre-production)の期間を 2 年またはそれ以上に設定している。多くの解決策候補は、まず高性能ロジックで必要とされ、続いてローパワーのテクノロジーで採用されていく。最後になるが、半導体産業は今後 5 年間にわたって、年々改善し続けることが必要な数多くの技術革新のため、全般的な課題に直面している。それは、歪による移動度の改善、より高い K 値をもつゲート絶縁膜、完全空乏型 SOI やマルチゲート MOSFET のための超薄膜ボディ、スケーリングに伴う寄生抵抗の制御である。

プレーナバルクから、SOI、MG への移行の後は、ゲート･オール･アラウンドかナノワイアトランジスタ構造へと進化するのが自然だろう。この形状はゲートによるチャネルの静電的制御を可能にする究極のものであり、短チャネル効果という点では、最も優れた動作を示すであろう。この構造によって、使われる材料系での最短の実効チャネル長を実現できる。カーボンナノチューブもまた、この範疇に入るだろう。

さらに後のロードマップでは、輸送特性をさらに改善するため、新たなチャネル材料の利用を前向きに考えた解決策がとられるだろう。第一の解決策はIII-V(n チャネル)とGe(p チャネル)の組み合わせと考えられるが、MOSFET 動作を基本とするものだろう。最初の製品は 2018 年に出てくると予想されている。これらの半導体以外に可能性があるのは二次元(2-D)結晶で、グラフェン、窒化ボロン(BN)や、MoS_2，WS_2，$NbSe_2$ などのダイカルコゲナイド、$Bi_2Sr_2CaCu_2O_x$ のような複合酸化物が含まれる。

スケーリングが続くと、トランジスタあたりのパワーは下がるが、IC のパワー密度はトランジスタの密度と共に上がり続ける。有効な解決策は、ボルツマン分布に依存しないトランジスタ動作に基づいたものになるだろう。60mV というサブスレショルドスロープ（チャネル電流を一桁変えるのに必要なゲート電圧）の下限を決めているのは、ボルツマン分布だからである。そのような伝導メカニズムの一つはトンネリングで、この効果に基づく種類のトランジスタは、トンネリング FET(TFET)と呼ばれている[31]。これは基本的には MOS ゲート下に p-n 接合を配置したものである。ゲート下のヘテロ接合を最適に設計し、超低電圧(V_{dd})動作させることが目標である。

急峻なサブスレショルドスロープを実現する別の方法は、MOSFET に強誘電体のゲート絶縁膜を取り入れることである[32]。この構造のトランジスタがオン状態へバイアスされると、電界が強誘電体ゲート絶縁膜中の電荷を移動させ、分極がさらにしきい値電圧を減少させるので、ゲートオーバードライブ電圧が高くなる。あたかも、より高いゲート電圧が印加されたかのようになるのである。この内部利得は、負の容量(negative capacitance)と呼ばれることもあり、急峻なサブスレショルドスロープを生み出す。目標は、やはり超低電圧(V_{dd})動作と低消費電力である。

最後に、この 2013 年版ロードマップの範囲(2028 年)より先では、MOSFET のスケーリングは効果がない、あるいは非常にコストが高くつくだろう。全く新しい非 CMOS 型のロジックデバイスや、新しい回路アーキテクチャが解決策候補である(詳細な議論は Emerging Research Devices 章参照)。そうした解決策は確立された生産基盤を利用し、同一チップ上にメモリなどのシリコンデバイスを包含できるよう、シリコンをベースとしたプラットフォームに集積可能なことが理想的である。
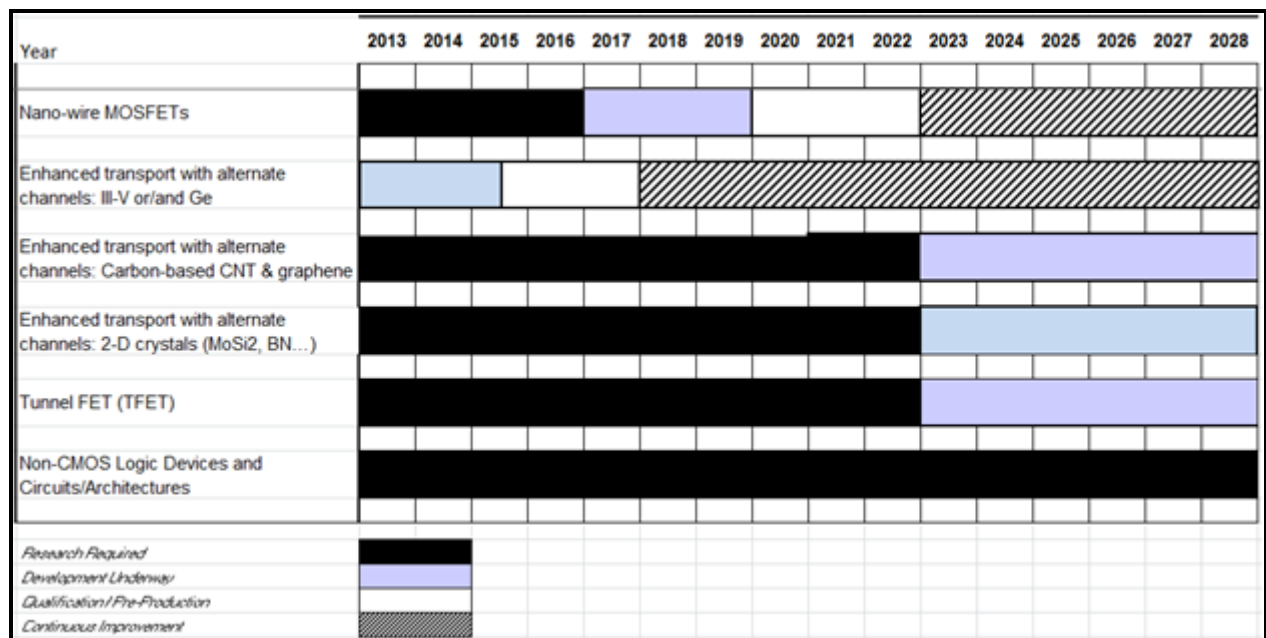
Figure PIDS 4　　Logic Potential Solutions

4 DRAM

4.1 DRAMの必要技術

DRAMに対する技術要求は、スケーリングとともにより一層厳しくなると予想されている(PIDSの表の6参照)。過去数年間はDRAMにおいて多くの新技術が適用された。(例えば、193nm波長対応のArFの液浸リソグラフィ技術とダブルパターニングと言われる技術、アクセストランジスタの一部Finトランジスタ化[33-35]、埋め込みワード線と組み合わせたFinFET技術等[36])が実用化されたためと推測される。これらの新技術の導入でDRAMは2-3年のサイクルでスケーリングし、2017年には20nmのハーフピッチに到達するものと考えられる。

Table PIDS6　DRAM Technology Requirements

勿論、スケーリングには未だ多くの課題が残っており、プロセス工程数の増大もコストスケーリングを維持していく上で問題となっている。代表的には、量産性の観点から見てキャパシタ形成工程・高アスペクトコンタクト加工工程での長いエッチング時間に対しフォトレジストが十分な耐性をもつことが必要とされる。これらの課題を解決するためには、パターン転写のためのハードマスクを用いたフォトレジスト技術がますます需要になってきている。更に、継続的なリソグラフィ技術および、エッチング技術の改善が必要である。またワード線/Bit線抵抗の削減もDRAM性能の向上や維持には重要である。

また、3Dタイプのセルアクセストランジスタであるサドル Fin型のトランジスタの導入は1T-1C型のDRAMに大きな前進をもたらしたが、キャパシタジャンクションリークとトランジスタのリーク電流の制御はデータ保持時間の維持を難しくした。これらを両立するためには将来的には完全空乏化トランジスタ(サラウンドゲートのような)が、BL容量の低減やセンス幅増大のために必要となるであろう。他の要求としては、高い信頼性を持つ、セルMOSFET用のゲート絶縁膜がある。高い電流の駆動能力を実現するために、高い電圧に昇圧されたセルMOSFETのゲート電圧が必要されるためである。セルMOSFETでは、サブスレッショルドの電流を低減するために高い閾値電圧となっていることも、昇圧のレベルを大きくすることが必要となる理由である。その結果、絶縁膜に印加されるゲート電界は高くなる。DRAMのセルMOSFETのスケーリング、ワード線の昇圧レベルに関連するゲート電圧、セルMOSFETの電界が、信頼性の観点から非常に重要である。ゲート絶縁膜の実効電界を保存するため、プロセス要求として、前工程プロセスでの素子分離技術、リセストランジスタの形成技術、均一な酸化技術、埋め込み技術、低ダメージプロセス技術等の全てが将来の高密度DRAMには必要である。

4.2 DRAMに対する解決策候補

DRAMのセルキャパシタはスケーリングと共に微細化され、キャパシタ絶縁膜の実効酸化膜換算膜厚(EOT)は、セルに必要な電荷量を維持するために急激にスケーリングされなければならない。EOTをスケーリングするには、高い比誘電率(k)を持つ誘電体が必要となる。それ故にMIM(Metal Insulator Metal)構造キャパシタが使われ。高誘電体膜(ZrO2/Al2O/ZrO2)[37]が40-30nmHP世代のDRAMで使用されている。更に材料改善が20nm付近まで進み、50～100を超える比誘電率を有する材料(ペロブスカイト構造等)は2016年頃に実用化される見通しである。また、この様な高いk値を持った絶縁材料の物理膜厚はセル内の最小寸法に合うように縮小される必要がある。これらの要求のためにキャパシタ構造はシリンダー型構造から、ペデスタル型構造に変更される。

一方、周辺CMOS回路素子のスケーリングに従い、特に素子形成後のプロセスでは低温プロセス工程が必要とされる。これはCMOS素子が形成された後での低温プロセスが必要なDRAMセルでの大きな課題となる。またDRAM周辺回路の要求はIoffよりIonの要求が強いが、今後はHigh-Kメタルゲートが、性能維持のために必要になるであろう。

他の大きな話題として4F2セルへの移行がある。ハーフピッチの縮小が困難になってくると、コストトレンドを維持するのが難しくなる。チップサイズをDRAMのビット容量が増加しても概ね同じチップ面積を維持するた

めには、セルサイズファクター”a”の縮小が極めて重要である。現在はサイズファクター”a”として”6”が使用されている。4F²セル（a=4）への移行は多くの技術要求があり、その一つとして三次元構造のアレイトランジスタが必要となるだろう。

DRAM においては十分なセル電荷量と適切なセルトランジスタの性能の確保がデータリテンション時間特性を維持できる。但しそれ故に DRAM の継続的なスケーリングと 16Gb を超えるような大きな製品を得ることを難しくしている。PIDS 図 5 に今後の技術要求と解決策候補を列挙するが、30nm 台やそれ以下の世代では多くの技術が必要になってくる。しかもその将来技術が今のところ候補が未定である。

First Year of IC Production	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026	2027	2028
DRAM 1/2 pitch	28	26	24	21	20	18	16	15	14	13	12	11	10	9	8	7
High-k Capasitor Dielectric																
ZrO2-Al2O3-ZrO2 MIM structure(k~20-50)																
Ultra Hikh K MIM structure (k>50)																
3D array device																
Fin FET(Burried Gate)																
4F2 cell (with 3D FET)																
High-k Transistor Gate Dielectric																
HfSiON, Metal Gate																
Emerging reserch memory devices																

This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required
Development Underway
Qualification / Pre-Production
Continuous Improvement

Figure PIDS 5　　DRAM Potential Solutions

5 不揮発性メモリ

5.1 不揮発性メモリに対する技術要求

不揮発性メモリはいくつかの共通した技術から構成されているが、「不揮発性」という共通した1つの特徴を有している。技術要求と挑戦は応用によって異なり、KB（キロバイト）記憶容量で十分な RFID から 1 チップで数百 Gb（ギガビット）の高密度記憶までの範囲に渡る。技術要求表は以下の二つの大カテゴリ、フラッシュメモリ（NAND Flash と NOR Flash），と非電荷蓄積メモリである。その非電荷蓄積メモリに 2013 年より抵抗変化メモリ（ReRAM 表 7b 参照）が将来の技術候補に加わった。不揮発性メモリはユビキタス（いつでもどこでもの意）使用できる必要があり、多数の組み込み用途でのフラッシュメモリには先端品は必要では無いが、技術要求テーブルには先端品の要求を表記しており、組み込み用途品は含まれていない。

Flash メモリは基本 1T セルでトランジスタがアクセスデバイス（或いは選択デバイス）とストレージノードを兼ねている。上記以外のいくつかの不揮発性メモリは電荷蓄積を利用しておらず（FeRAM、MRAM、PCRAM、ReRAM）それらはエマージングメモリと呼ばれるカテゴリに入る。これらのメモリ素子は通常 2 端子構造（抵抗或いはキャパシター）で、分離素子（或いはセレクター素子）は含まれていない。従ってメモリセルには個別にアクセスデバイスが必要で 1T-1C、1T-1R、1D-1R などで構成される。これらの不揮発性メモリは、技術的に多数の形成方法があり、例えば、NOR Flash では浮遊ゲート方式と窒化膜チャージトラップ方式がある。それらは別々のスケーリングトレンドで発展してきたが、結果的に同じ用途の製品では、スケーリングトレンドは似たものになる。

それぞれの技術に関する情報は、3 つのカテゴリで構成されている。それぞれの技術の技術要求表は、第一に容量密度を取り扱う。適用可能な寸法”F”が定義され、期待される面積係数”a”（セル面積に必要な単位 F2 の倍数値）が与えられる。第二に、それぞれの固有技術に対して重要ないくつかのパラメータであり、ゲート長、書込-消去電圧最高値、物性パラメータなどが表に示されている。これらのパラメータは、スケーリング・モデルと挑戦分野を同定することに対して重要である。第三に、繰返し耐性（消去-書込サイクルまたは読出-書込サイクル）と保持が表示されている。繰返し耐性とデータ保持特性は、不揮発性メモリ技術に対して固有の技術要求であり、エンド・ユーザーの観点から特性を決定する。

Table PIDS7a は、NAND Flash, NOR Flash, PIDS8b は非電荷蓄積メモリの 2013 年から 2028 年までの長期の技術要求をそれぞれ示している。表には CMOS のハーフピッチと実際に不揮発メモリセルを形成するために用いられる寸法（不揮発性メモリ技術の”F”を nm 単位で）の両方が示されている。近年まで不揮発性メモリのハーフピッチは、DRAM や CMOS ロジックデバイスのものから遅れていたが、NAND 技術の急速な進展によって近づいて、さらに追い越している。勿論、長期的には NAND フラッシュもスケーリングの壁、記憶レベル毎の蓄積電子数差の現象の問題、ワード線間の耐圧の問題等で、最終的に NANDFlash メモリはロジックデバイスのスケーリングに追い越されるが、いくつかの電荷蓄積型では無いメモリもスケーリングが継続され最終的に NAND フラッシュを追い越すと思われる。それまでのしばらくの間は 3 次元積層 NAND で代表される積層型 NAND セルが NAND の高密度化、低コスト化を担っていく。

Table PIDS7a FLASH Technology Requirements

Table PIDS7b Non-charge-based Non-Volatile Memory (NVM) Technology Requirements

5.2 不揮発性メモリに対する解決策候補

不揮発性メモリとはメモリアレーと CMOS の周辺回路を融合させたものである。メモリアレーは不揮発性を得るため通常特殊なしかし CMOS 互換のプロセスを必要とする。不揮発性メモリは、単体から混載まで、その使い方に応じた要求性能を持ってさまざまな用途に使用されている。メモリアレーのアーキテクチャと信号読み取り方法も異なった用途に応じて多くの種類がある。技術的課題は解決困難であり、いくつかの例では現行のロードマップの終焉までに物理的限界に達するであろう。電荷保持型デバイスでは、1 ビットセル、2 ビットセルにかかわらず、統計学的な閾値ゆらぎおよびスケーリングに際して起きるセル間セル間距離の縮小によるセル間干渉に対して強固なトランジスタの閾値を確保するため十分な電子数を蓄積層に確保する必要がある。そのような中で、データ保持特性、書き換え回数特性は維持するか、いくらかのアプリケーションによっては特性向上が求められている。非電荷保持型デバイスでは、記憶層の面積が小さくなるにつれて熱揺らぎによるノイズでデータ信号を干渉してしまうという基本的な限界に近づきつつある。

5.2.1 NAND フラッシュメモリ

5.2.1.1 浮遊ゲート型 NAND フラッシュメモリ

浮遊ゲート型フラッシュメモリデバイスは、浮遊ゲートに電荷を蓄積し読み取ることにより不揮発性を達成している。現行のメモリトランジスタは縦に、ポリサイドの制御ゲート、通常はONO（oxide-nitride-oxide）3層膜を用いるポリシリコン間絶縁膜、ポリシリコン浮遊ゲート、トンネル絶縁膜、から構成される。トンネル絶縁膜はある程度の電圧で浮遊ゲートに電荷を注入するため十分薄くする必要があり、読み出し時と電源オフ時の電荷消失を避けるために十分厚くなければならない。ポリシリコン間絶縁膜はトンネル絶縁膜に消去及び書込みパルスのカップリングが適度にかかるように、微細化されなければならない。制御ゲートから浮遊ゲートの容量と浮遊ゲート全体の容量（制御ゲートから浮遊ゲート＋浮遊ゲートから基盤）の比率で定義されるゲートカップリング比は重要な微細化パラメータであり、0.6 以上でなければならない。多くのデバイスでは、ゲートカップリングを 0.6 以上にするために制御ゲートが浮遊ゲートの側壁周りを囲んでいる。

NAND フラッシュのセルは単一の MOS トランジスタを記憶素子としており、NAND 型アレイは現在は 64 個以上の素子が Bit 線間にストリングを形成している。この構成は個別の素子毎にビット線から直接コンタクトは必要なく、最小のセル構成となっている。プログラム時/読み出し時には、ストリング中の各素子が“パス”素子となり、ストリング全体を ON 状態としている。それ故にランダムにプログラム/読み出すことはできない。データの入力・出力はページ単位で行い（一本の WL が 1 ページに相当）、現在そのページ長は 8kB-16kB の長さである。プログラム並びに消去は Fowler-Nordheim トンネル現象を用いて電子を浮遊ゲートの中に入れたり、外に出したりすることにより行われる。大変少ない Fowler-Nordheim トンネル電流のため同時に多数の素子に書き込むことが可能であり、故に高速プログラミング/高速読み出しが可能となっている。また個々のデバイスは同じ Bit 線にストリングとして繋がっており、個々のデバイスのリークは書き込みや読み出し時にはほとんど大きな影響を与えない、さらにホットエレクトロン注入では無いために、接合深さも浅く形成できる。さらに、NAND フラッシュのスケーリングは NOR のように FET のパンチスルーやジャンクションの耐圧に左右されない。また NAND フラッシュは大容量のデータを蓄積、読み出しするよう設計されており、プログラムコードを格納するものではないので、通常、誤訂正コード（error correction code, ECC）アルゴリズムを採用しており、NOR フラッシュより欠陥に対する耐性が高い。これにより、トンネル酸化膜に対する要求が NOR フラッシュより甘くなり、スケーリングが簡単となっている。

ポリシリコン間絶縁膜のスケーリングはトンネル酸化膜と同時に行い、書き込み/消去に適切な電圧パルスの組み合わせで可能となる。データ保持特性の要求からトンネル絶縁膜とポリシリコン間絶縁膜のスケーリングは非常に緩やかとなっている。そのことは、2012 年においてもっとも進んだ NAND 技術（通常のフローティングゲート包み込み形状の High-K IPD をもったメタルゲートタイプの 19nm-20nm の HP の製品では）では 10nm 程

度のポリシリコン間絶縁膜を使用しているが、2010 年の 24nmHP の製品でも 11nm を使用していることからも分かる。

しかし 20nm 以下の HP になったときは浮遊ゲートを包み込む形状は実現難しい。それ故、少しビット線ピッチを緩和したり、フローティングゲート幅（BL ピッチ方向）を狭くしたりして包み込み形状を実現し必要なゲートカップリング比を保持している。しかしながら、この構造でスケーリングを続けていくのは困難でありイノベーション技術が必要となっている。

如何にゲートカップリング容量比を 0.6 以上に保ち、フローティングゲート間の干渉をなくすかが 20nm 以降のスケーリングにとって 2 大技術課題となる。この2つの課題は High-K 膜の IPD とプレーナーセル（フラット構造セル）を使うことで低減される。この 20nm 及び 16nm のプレーナーセルによるイノベーションで 2D-NAND を 10nm 世代に導いた。さらに High-K セルはプログラム・消去の電圧を低減させたが、電圧のスケーリングは 1/2 ピッチのスケーリングに追いつけずワード線間の耐圧による絶縁破壊がさらなるスケーリングに対し困難な問題になっている。また Low-K 材料では十分ではなく、エアギャップでの WL 間埋め込みが使用され、これが絶縁破壊のマージンを上げている。結局シュリンクをすることで電界の問題が増大し、今後のスケーリングを非常に困難にしている。

トンネル酸化膜のスケーリングは非常にゆっくり、或いは停止しているがために、デバイスの実効膜厚は大きく、フリンジ部（側部）での電界をコントロールゲート側から制御するのが難しくなっており、その結果パフォーマンスの劣化（S ファクターの劣化）やセル間の干渉を増大させている。また蓄積させている電子の数はデバイス面積に比例するので、原理的には（スケーリングとともに）電子数が減少し、データ保持が出来なくなったり、ランダムテレグラフノイズに耐えられなくなってくる。興味深いことに、閾値を上げるための必要電子数がフリンジの電界で決まるようになると、閾値もフリンジの電界で決まるようになり、デバイスの面積に比例して（閾値制御の）電子数が減少するという事態は無くなっていく。このことは蓄積電子数が（スケーリングに従って電子 1 個の影響が大きくなるために）少なくなっていくという従来の恐れほど心配しなくても良いかもしれない。しかしながら、（スケーリングを進めれば）強いフリンジ電界による効果は必然的にディスターブを増大させ、その他のセル間干渉も困難になってくると思われる。

プレーナ（フラットセル型）NAND は 16nm ノードに到達し、10nm 近くまでスケーリング可能と思われている。しかしそれ以上はワード線間耐圧の問題、セル間干渉、蓄積電子数のバラツキを対策していかなければならず、3DNAND や他のエマージングメモリがさらなる高密度化に寄与していくと考えられる。

5.2.1.2 電荷トラップ型 NAND フラッシュメモリ

現在ほとんどの NAND 製品は浮遊ゲートデバイスを用いて生産されている。ゲートカップリング比を維持あるいは向上させ、隣接セル間干渉を減少させるための困難な技術課題は電荷トラップ型デバイスを使うことにより回避することができるかもしれない。しかし急速なHigh-K/Metal-Gate技術のプレーナーセル技術が、2D構造のチャージトラッピングデバイスの必要性を薄くした。しかしながら、ほとんどの 3DNAND デバイスではチャージトラップセルを使用しており、原理と動作は紹介されている。従って2DNANDで電荷トラッピング型セルはプロダクトとして使用される見込みが無いため、要求事項のテーブルは作成していない。

電荷トラッピング型セルは単一ゲートでMOSデバイスのチャネルを直接制御できるので、ゲートカップリング比の課題はなくなる。また薄い窒化膜間のクロストークは無視できる程度である。窒化膜トラップ型デバイスは基本的なSONOS型デバイスからのさまざまな種類に派生している。しかしながら単純なトンネル酸化膜を用いたSONOSは、一旦窒化膜に電子がトラップされると高電界下でさえ引き抜くことが難しいので、NANDの応用には向いていない。デバイスを速く消去するためには、電子を中和するために基板の正孔を注入する必要がある。正孔のSiO2に対する障壁は高い（～4.1eV）ので、正孔注入効率は低く、十分な正孔電流は非常に薄い（～2nm）トンネル酸化膜を用いた場合のみ得られる。しかし、そのような薄いトンネル酸化膜においては基板からの直接正孔トンネルが発生し、弱い保持電界を止められないので、データ保持特性が劣化する。（直接トンネリングは膜厚に依存し、電界にはほとんど依存しない、故に電荷蓄積による少しの電界でホール注入が効果的に起こりデータ保持特性を劣化させる）

近年数種の SONOS 型の新構造が提案されている。トンネル絶縁膜の技術コンセプトがトンネル障壁特性を変えてトンネル絶縁膜の可変膜厚を作り出すために用いられている。例えば 3 重の ONO 極薄膜（1～2nm）層が単一の酸化膜を置き換えるため導入されている（BE-SONOS）[38]。 高電界下では上部の 2 層酸化膜と窒化膜はシリコン価電子帯の上部を埋める。基板の正孔は底部の薄い酸化膜をトンネルして厚い窒化膜の蓄積層に注入される。データ保持モードでは、弱い電界は 3 層膜に分割してかかることはなく、窒化膜中の電子と正孔は 3 層膜のトータル膜厚によってブロックされる。MANOS（metal-Al2O3-nitride-oxide-Si）[39]構造デバイスにおいてはhigh-k絶縁膜と金属ゲートが消去動作時のゲート注入を防ぎ、トンネル酸化膜の電界を上げる。比較的厚い（3-4nm）トンネル酸化膜は保持期間において基板からの正孔の直接トンネルを抑制する。

電荷トラップ型ではゲートカップリングレシオや浮遊ゲート間の干渉に対し有利で20nm以下の候補として有望であるが、基本的なワード線間耐圧問題や電子数減少の問題に対しては解ならない。それ故にロードマップでは平面浮遊ゲート型と3D-NANDとの間の移行を記している。また、殆どの3D-NANDはその構造の簡単さから電荷トラップ型を使用しており、また比較的大きなデバイスであるがために、電子数の問題や、ワード線耐圧問題は自然に解決されている。

5.2.1.3 非平面デバイスとマルチゲートデバイスの NAND への適用

FinFET やサラウンドゲートデバイスのような非平面デバイスと複数ゲートデバイスはより強力なチャネル制御ができ、浮遊ゲートと窒化膜トラップデバイスの両方においてより微細への微細化が可能となる。しかしながら縦型構造は新しい技術課題も抱える。例えば、fin間の間隔はトンネル酸化膜と層間絶縁膜（浮遊ゲートデバイスの場合）に余地を与えるため十分に広くなければならないので、革新的な解決法がなければ 20nm 以下の微細化はできないかもしれない。これらは要求テーブルには入れていない。上記のデバイスは構造を単純化するために3DNANDに一般的に使われており、実際、通常の構造（2DNAND同様の構造）を3DNANDにするのは非常に困難である。

5.2.1.4 三次元積層型 NAND アレイ構造

蓄積される電子数が統計的限界に達したときに、仮にデバイス微細化で小さいセルが実現できたとしても、メモリアレーにおけるすべてのデバイスの閾値電圧分布は制御できないことになり論理状態（データ状態）は不安定になるであろう。メモリ密度は従来の微細化では増大しない、しかし縦型積層メモリ構造によって増大する可能性がある。近年メモリアレーの積層が報告されている。1 つの試みは縦型エピ成長による単結晶シリコン

層を用いる方法である[40]。 多結晶シリコンを用いた薄膜トランジスタの例[41]もある。 製造プロセスの温度と温度量はより前に作成されたシリコン層が追加されたプロセスの熱により劣化しないように決める必要がある。これは温度履歴の違う異なった層に狙った特性のデバイスを作成すること、それぞれの層の少しずつ異なるデバイスを制御する回路を設計するという点において重要な課題である。3 次元積層が従来の微細化を上回りメモリ密度を向上させるとしても、その効果は数層を積み重ねた後には減少している。配線の複雑さは増大し、アレイ効率は層数の増加とともに減少する。その上製造プロセスの複雑さとマスク枚数の増大は歩留まりに影響を与える。
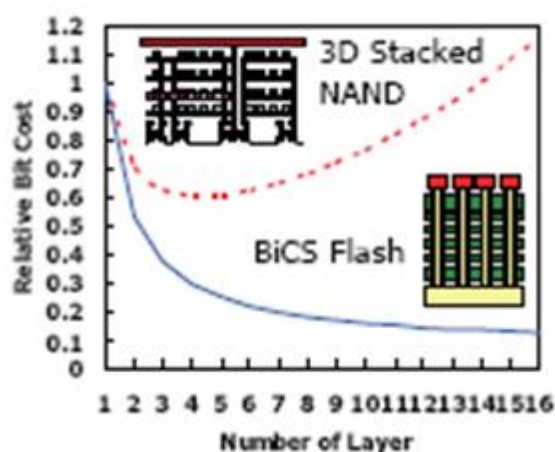
Figure PIDS 6 Comparison of Bit Cost between Stacking of Layers of Com*pleted NAND Devices and Making all Devices in Every Layer at Once [42]*
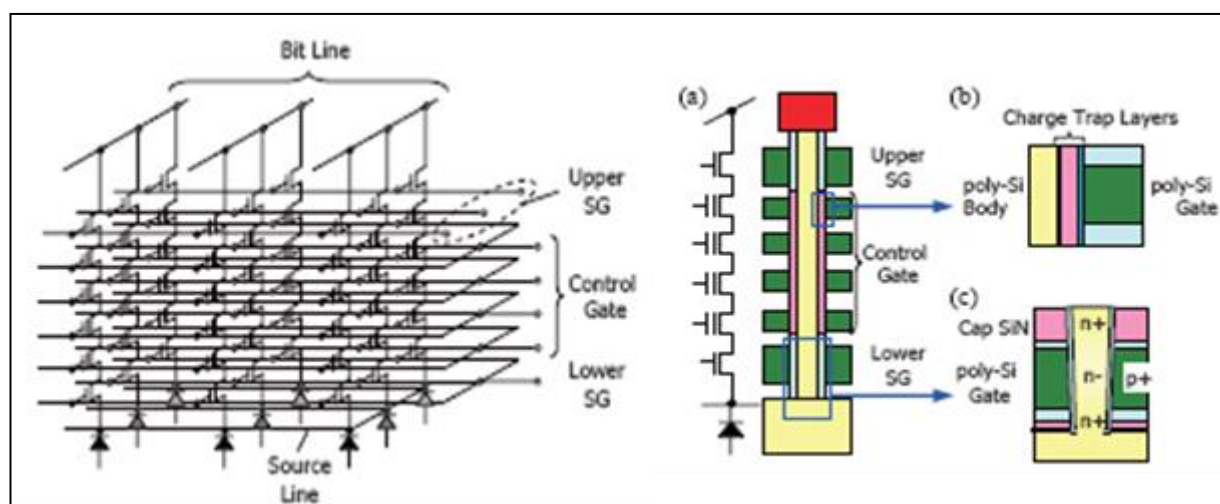
Figure PIDS 7 *(left) A 3D NAND Array based on a Vertical Channel Architecture [42]. (right) BiCS (Bit Cost Scalable) – a 3D NAND structure using a punch and plug process [42].*

2007 年に、プロセスを単純化するためにビット線を縦に配線する”punch and plug”方式が提案された[42]。この方式は 3D 積層デバイスを繰り返し無く少ない工程数で作成出来、おそらく新しい低コストなスケーリングを NAND にもたらすことが期待されている。BiCS（または Bit Cost Scalable）と呼ばれる NAND ストリングを平面上から 90 度垂直化しており、ワード線は水平面で構成される。図 PIDS6 に示したとおり、このタイプの 3D 化アプ

ローチは、一層一層を積み重ねる方法より経済的で、コスト効果も非常に多くのレイヤーを積み重ねるまで飽和しない。

様々な低コスト 3D 構造が BiCS 以降に提案されており、基本は同じであるが[43]-[47]、手法は大きく分けて 3 つの分類が出来る、それらは垂直チャネル型（図 PIDS7-8）、垂直ゲート型（図 PIDS10-13）、浮遊ゲート型（図 PIDS14）である。2013 年 8 月に最初の 3DNAND の製品化が上述の方法で行われた。全ての NAND フラッシュのメーカーは種々の構造の 3DNAND を発表する予定である。

垂直チャネル型の基本構造を図 PIDS7 左に示す。そして他の種々の構造、BiCS（図 PIDS7 右[42]）、p-BiCS（図 PIDS8左[48]）、TCAT(Terabit Cell Array Transistor、PIDS 図8右[43])。BiCS が最初のパンチアンドプラグ構造で、トンネル酸化膜のプロセスインテグレーションやチャネル底のコンタクト形成の難しさを回避するためパイプ構造の p-BiCS に改良している。TCAT はゲートラストアプローチで、高速書き込み・消去ができる High-k/メタルゲートの採用を容易にした構造になっている。VSAT(Vertical Stacking Array Transistor、PIDS 図 9[44])は違った構造で、PIDS 図9に示す通り 2DNAND を折りたたんだ様な構造になっている。全ての構造は共通の特徴としてトランジスタのチャネルは垂直方向の構造をしているという点で、詳細構造はリファレンスを参照していただきたい。

垂直ゲート構造は図 PIDS10 に示す。構造は平面 NAND を積み上げたような形で、3 つのアプローチをそれぞれ図 PIDS11、12、13 に示す。3 つの違いはデータのデコード方法の違いである。
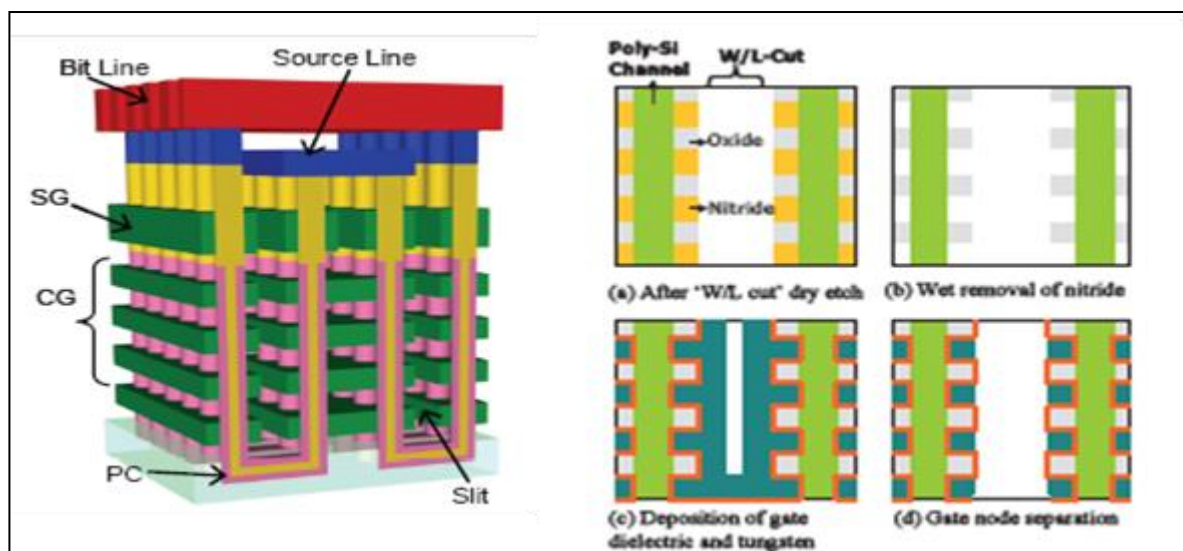
Figure PIDS 8　(left) P-BiCS (Pipe-shaped BiCS) – An advanced form of BiCS 3D NAND array [48]. (right) TCAT (Terabit Array Transistor) – A gate last 3D NAND array [43].
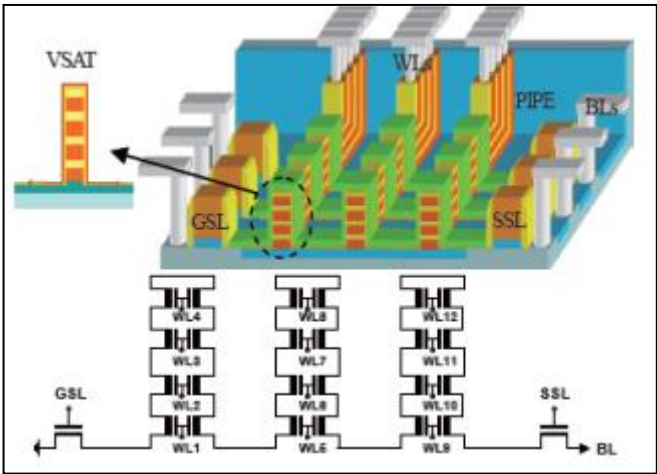
Figure PIDS 9 VSAT (Vertical Stacking of Array Transistors) – Equivalent to folding up the horizontal bitline string vertically [44].
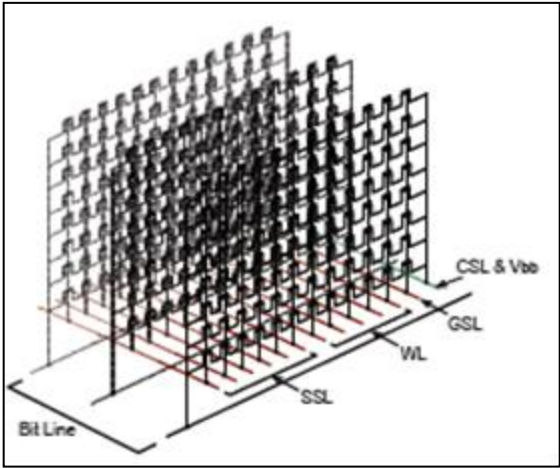
Figure PIDS 10 (a) Vertical Gate 3D NAND Architecture. The bitline strings are in the horizontal direction as in the conventional 2D NAND. Each vertical "plane" of NAND devices is reminiscent to a 2D array [45].
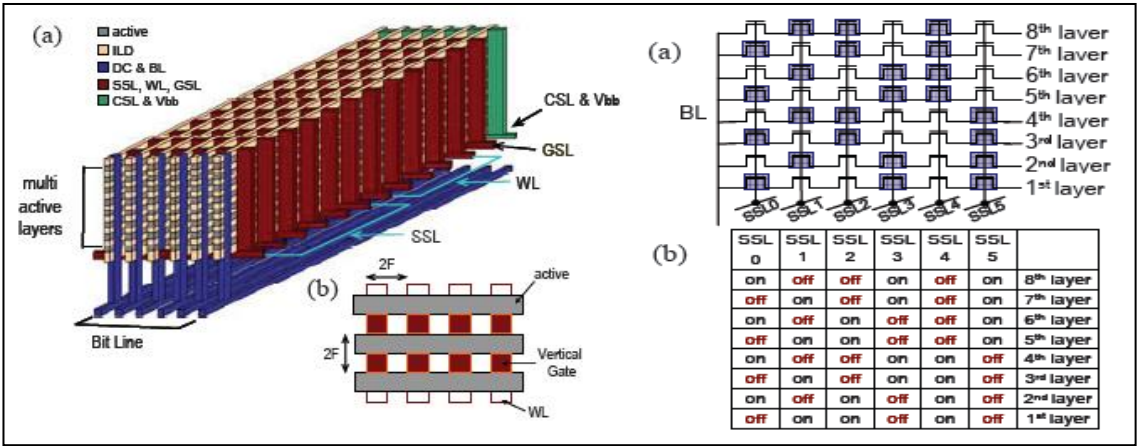
Figure PIDS 11 A Vertical Gate 3D NAND Array with Decoding Method [45]

殆どの 3D-NAND は電荷トラップ型の素子を使用しているが、浮遊ゲート型デバイスも 3D-NAND 化することも可能である。図 PIDS14 にサラウンド浮遊ゲートデバイスを使用した構造を示す[49]。プロセス方法等はリファレンスを参考にして欲しい。

電荷トラップ型デバイスにとってゲートカップリング比は重要でなくそれ故に平面上で優位に動作できる、しかし 3D 構造を導入すると浮遊ゲート型デバイスでも、ポリシリコン間絶縁膜埋め込み、ワード線間干渉等の平面上の距離制約からくる問題に対しても対処できる。特に隣接する浮遊ゲート間のデータ干渉については Z（垂直）方向の干渉の問題となる[50]。セルサイズとスケーリングの関係はそれぞれの 3D 化の方法で変わってくる、一般的には垂直チャネル型構造は幾何学的な制約を一番受けやすい、それ故に大容量化には平面積層型と比較して多くの積層が必要になるが、反対にプロセスはより容易と考えられる。 それらを考慮し、ロードマップ表に全ての構造・全てのハーフピッチを入れていない。各種の 3D 化方法は、ハーフピッチと積層数はそれぞれ違うが、最終的には同じ容量の Chip を作っており、それ故に要求テーブルには代表的な構造のハーフピッチと積層数を抜き出して書いていることをお許し頂きたい。

3D 構造では高容量化を達成する上で、電子数減少問題やワード線の耐圧問題などの制約を積層化することで対策している、従ってハーフピッチはアグレッシブには縮小しない。また 3D 構造は従来とは異なっている故に、セルアレイ占有率や各積層レイヤーからの引き出し線作成工程などの固有の追加工程などがコスト増加を招いている。これらは大きくコストに影響があり、図 PIDS9 にマスク数を少なく、コンタクトを形成するコスト削減方法の例[42][43]を示す。もっともベストケースの場合でも（平面構造から）3D 化すれば必ず追加コストは必須となる。仮に 3D 構造で（平面上の）ハーフピッチを、平面 NAND に比較して大幅に緩和すると、より高容量化／低 Bit コスト化のためには積層数を大きく増やさなければならない。この背反の関係が 3D の構造ごとに違う。
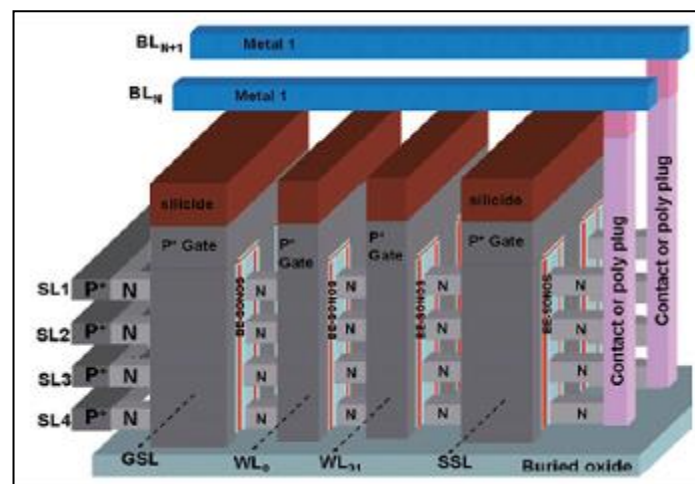
Figure PIDS 12　　Schematic Diagram of the PN Diode Decoded Vertical Gate (VG) 3D NAND Architecture. PN diodes are formed self-aligned at the source side of the VG NAND. Source lines (SL) of each memory layer are separately decoded, while WL, Bit line (BL), SSL and GSL are common vertically for the multi-layer stacks. Note that there is only one SSL and one GSL in one block [46].
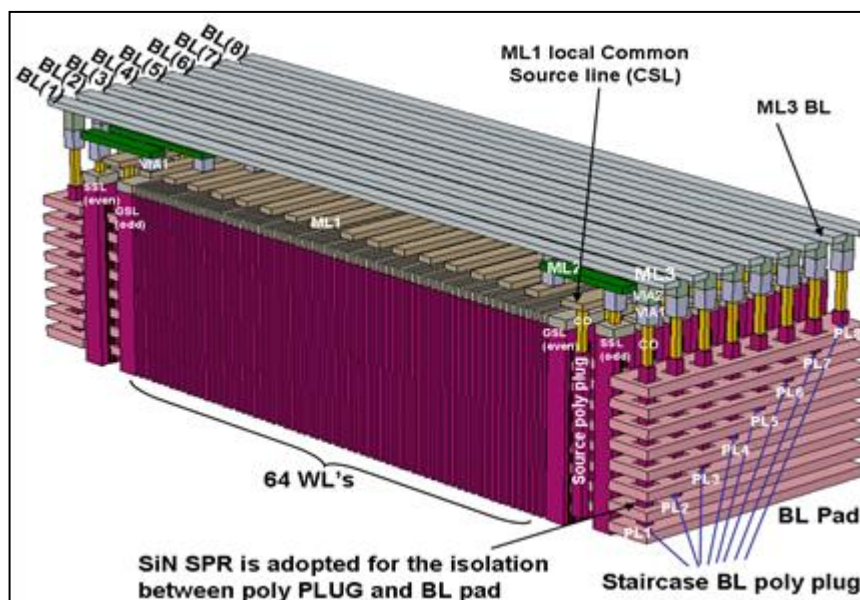
Figure PIDS 13 Schematic Diagram of Island Gate SSL Decoded Vertical Gate 3D NAND. Each bit line is decoded by its own SSL, which is contacted through staircase contacts independently [46]
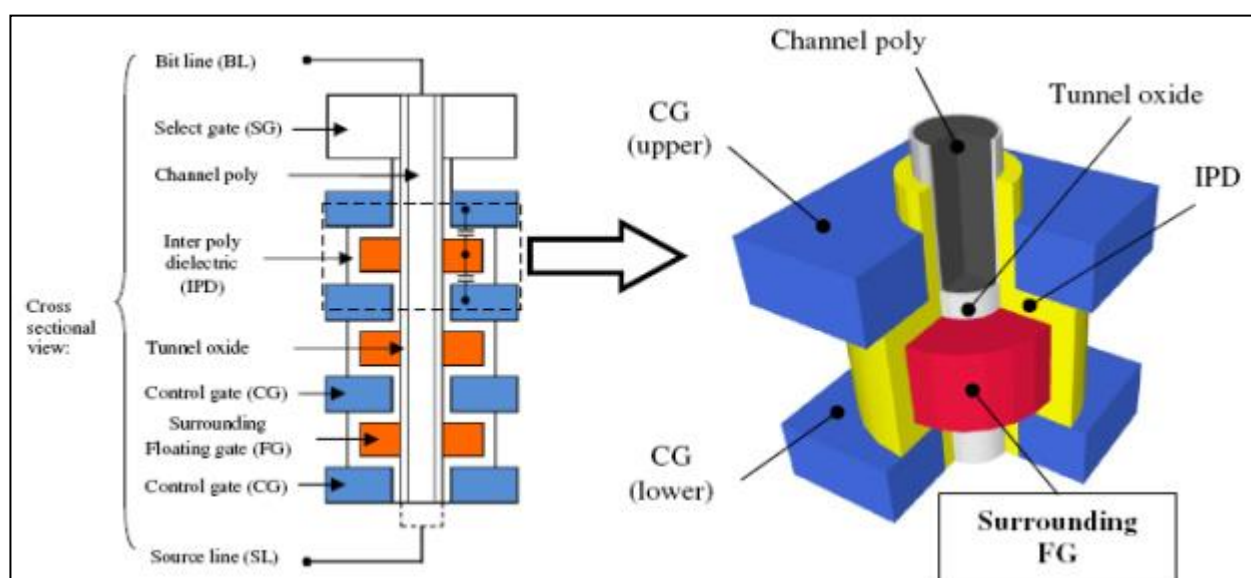
Figure PIDS 14 A Surround Gate Floating Gate 3D NAND Structure

3DNAND アレイはポリシリコンの TFT トランジスタを使っており、アレイ下は基本的に使用していない。そのアレイ下にいくらかの周辺回路を入れることは chip 内セル面積割合を増やすことが可能である。また関係する配線層もアレイ下に入れる事が出来る、TFT は熱工程からも決める必要ある、これらのアレイ下周辺回路へのアプローチは、プロセスの複雑性をも考慮したコスト比較が重要になる。

最後に、3D-NAND は通常で言うところの 3D インテグレーション、複数の Chip をシリコン貫通電極(TSV)を使ってつなぎ合わせる物とは違い、3D-NAND は全く新規の構造で、積層し NAND デバイスを一括形成する、それを少ないリソ工程、エッチング工程数の増加のみで実現している。3D-NAND の積層 NAND デバイスというのは最終形状の説明であり、個々の NAND Chip を積層したものと混同しないように区別をお願いしたい。
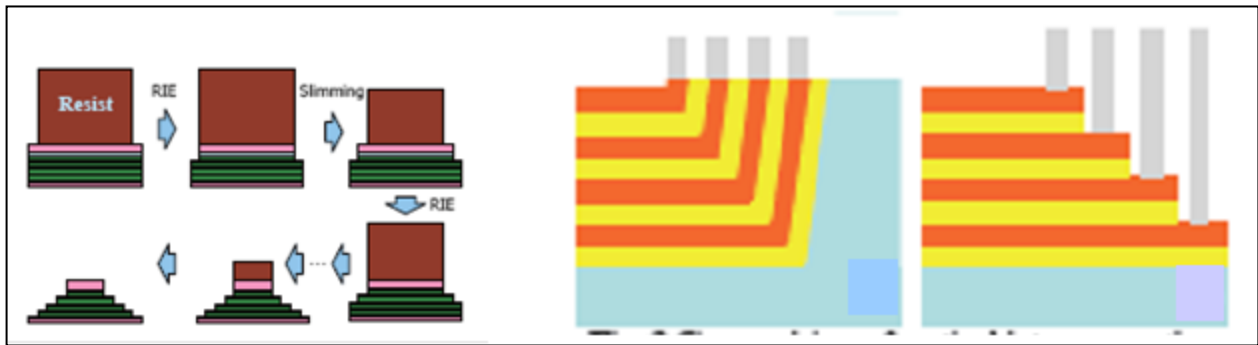
Figure PIDS 15 (left) Scheme to make staircase landing pads for all layers by trimming one single layer of photoresist [42]. (right) A scheme to make contacts using tapered deposition and surface contact. Left: surface contacts are made in one operation. Right: conventional staircase contacts [44].

5.2.1.5 2DNAND から 3DNAND への移行

3DNAND は 2DNAND のスケーリングが 10nm 付近で止まった後も、実効的にスケーリングを継続できる。これは他のデバイス製品では簡単にはできないことである。

最初に、通常構造の 2DNAND では 20nm 以下では 4F2 のセルを維持するのが難しく、コントロールゲートがフローティングゲートを取り巻く構造でカップリング比を得る場合はフローティングゲート間のスペースが ONO(Interpoly-)IPD 膜厚の倍以上必要で有り、それ故に High-K IPD を使い薄膜化しカップリング比を確保する必要がある。このことがスケーリングを苦しめている。

二つ目として、20nm 以降の 2DNAND の製造には 4 倍パターニング(ダブルパターニングを 2 回繰り返す)が必要で、それ故の投資がかかる。この投資は 3D 化した場合ではそのピッチの相対的な緩さ故にかからない。DRAM でも 20nm でスケーリングが滞留するように見えるはずで、ラインパターニングの製造にかかる投資に対して効果が薄いためと考えられる。

三つ目として仮に 2D-NAND が 20nm 以下へのスケーリングが出来たとしても、信頼性、特に書き換え回数は劣化する。トンネル酸化膜と IPD のスケーリングはピッチのスケーリングに遙かに追いついていないため、NAND フラッシュはショートチャンネル効果、サブシュレシュホルド特性の劣化等が顕在化してきている。特に電子数減少はフローティングゲート間の干渉を増大させ、データ書き込みのトレランス幅を厳しくしている。直近の SSD のようなアプリケーションではより信頼性の高いデバイスが要求され、長チャネルデバイスである 3DNAND はパフォーマンス含め期待されている。

それ故に、2DNAND のスケーリングを行うか、3DNAND の初期生産を開始するかは NAND の製造者、上記環境の中での判断に依っており、一斉に(2D 終了 3D を)スタートという事にはならない。

2012 年のロードマップでは 3DNAND の生産は 2016 としていたが、2013 には 3D を 2014 年(2013 年末としている場合も有り)より製造するとしている NAND 製造者もある。但し、このことが 2DNAND を 2014 年に置き換える事を意味しているのでは無く、製造者の製品戦略によるところが大きく、上述の理由に依るところが大きい。

2013 年のロードマップでは 3DNAND を 2014 年に前倒ししたが、ピッチは緩く層数は多い。今後緩やかにピッチ縮小し、積層数増で(何年か実効的スケーリングが)続いていくものと思われる。

5.2.2 NOR フラッシュメモリ

5.2.2.1 NAND 浮遊ゲート型 NOR フラッシュメモリ

NOR フラッシュセルはセル間分離と蓄積ノードとしての機能を持つ 1 つの MOS トランジスタにより構成される。このトランジスタの閾値電圧は浮遊ゲートに蓄えられる電荷によって制御され、蓄積の状態を示す。蓄積セ

ルは単一レベルロジック(Single Level Logic, SLC, 1 と 0 のロジックを意味する)かあるいはマルチレベルロジック(Multiple Level Logic, MLC,(11), (10), (00), (01))を蓄積する。メモリアレーは X と Y の交差した配線構造で、ランダムな読み出しができる。書込みはチャネルホット電子あるいは他のホット電子生成によって行い、消去は FN (Fowler-Nordheim)トンネル現象で電子を浮遊ゲートから引き抜くことにより行う。ホット電子の生成にはデバイス直下に高い横方向電界が必要であり、それは急峻な接合プロファイルによって得られる。これは逆に短チャネル効果とリーク電流を増大させ、書込みディスターブをもたらす。ハロー注入がデバイスのリーク電流削減のため使われているが、同時に接合の破壊電圧を低下させ微細化をも制限する。ビット線コンタクトが不要である仮想グランドアレイが開発されると、NOR フラッシュのセルサイズは短期的将来飛躍的に小さくできる。

浮遊ゲート型デバイスでのスケーリングのためのトンネル酸化膜薄膜化要求は 8nm 以下でのデータ保持特性の劣化があり非常に困難であり現状解決法は分かっていない。薄膜化できないことによる短チャンネル効果とホットキャリア生成とジャンクションのブレークダウンの両立が難しく、HP 32nm 以下へのスケーリングを困難にしている。

しかしながら、スケーリングでの課題により NOR フラッシュが本質的に発展をやめたのではない。10F2 以上のセルサイズで NAND の 2 世代前のノードでは、次世代携帯電話のような高密度アプリケーションの NOR 市場は、急速に NAND に侵食され続けている。さらに、相変化メモリ(PCM)などの新探求メモリは、いくらか安価で同等(または同等以上の)性能を示すことができる。いくつかの有力なサプライヤーはより微細化が見込まれ長期的な技術展望ができる PCM への転換をすでに実施、または促進させており、PCM を含む新探求メモリは、フローティングゲート NOR フラッシュへ重大なインパクトを与える力を持っている。

しかしながら様々な容量帯の NOR-Flash は非常に多くの様々な製品に広く使用され、たとえハイエンド携帯向け製品が(上述の様に)無くなったとしても、NOR-Flash の市場の将来性はシリアル I/O 素子のような低密度帯にあるように見える。現状の 45nm から 32nm 付近までのゆっくりとしたスケーリングが行われると推測している 2011 年の予測より技術要求表は変わっておらず、それ以降の技術的困難は大きく、他の技術(例えば PCRAM)で、スケーリングが出来ることが証明されれば今後はより魅力的になろう。

5.2.2.2 電荷トラップ型 NOR フラッシュメモリ

デバイスの閾値電圧は SiN などの電荷トラップ層における電荷保持にも影響を受ける。SiN を用いた電荷トラップ型デバイスは、SONOS 構造、つまりシリコン(あるいはポリサイド)ゲート、ブロック酸化膜、SiN 蓄積層、トンネル酸化膜の構成になっているので通常 SONOS と呼ばれる。比較的厚いトンネル酸化膜を用いた広く普及している NOR アーキテクチャの SONOS が NROM [24]として知られている。NROM は書込みにチャネルホット電子を、消去にバンド間トンネル電流を用いる。窒化膜に注入された電荷は接合付近に局所的に分布するので、同じデバイスにおいて 2 ビットの情報が保持できる。デバイスの閾値電圧はドレイン電圧によりドレイン側の電荷を消し、逆にソース側の情報を読み出すことによって読み出しすることができる。

NROM NOR アレイは、埋め込み拡散層がビット線として、デバイスのチャネルがワード線(ポリサイド)方向として機能する仮想グランドアレイを採用することができる。この構造はビット線コンタクトもセル内の STI 分離も不要なので、従来の NOR アレイと比較して格段に小さいセルが実現できる。同じデバイスにおける 2 つの蓄積ノード間のクロストークは完全にはなくせない。このいわゆる“セカンドビット効果”が、それぞれの蓄積ノードの閾値電圧分布を制限し、NROM における多値の導入を浮遊ゲート型デバイスよりも困難にしている。しかしながら、浮遊ゲートデバイスでは 4 ビットセルを得るために 16 レベルの閾値電圧が必要であるのに対して、NROM は本質的に 2 ビットセルであり、多値を用いれば 4 ビットセルになる。仮想グランドアレイは通常の NOR アーキテクチャに対して、同じデザインルールでは 1.5 倍から 2 倍の面積効果を持っており、さらに製造プロセスが 1 層ポリシリコンなのでマスク数も減らすことができる。

電荷トラップ型デバイスには、浮遊ゲートデバイスが直面しているゲートカップリングの課題がないが、微細化の課題は類似している。仮想グランドアレイと2ビットセル動作はデバイスのリーク電流に敏感であり、書込みと消去にホットキャリアをもちいること、特に消去にホットホールを用いることは信頼性不良に対しての弱さを増

している。微細化限界は浮遊ゲートデバイスと同じであり、短チャネル効果によるデバイスのリーク電流と接合の破壊である。トンネル絶縁膜のスケーリングの制限が厳しくないので、潜在的な信頼性は良いと思われるが、ホットホールのダメージと仮想グランドアレイのオフセットから、結果的にスケーリングのトレンドは浮遊ゲートNOR と似たものになっている。

5.2.3 非電荷型不揮発性メモリ

電荷蓄積型デバイスの究極的な微細化限界は電子数が少なくなることであるので、電子による電荷によらないデバイスはより微細化できる可能性を秘めている。数種類の非電荷型メモリが盛んに研究されており、またいくつかは商品化されており、それぞれが固有の利点と特異な課題を持つ。そのうちいくつかは固有に特殊な用途に合致しておりNOR、NAND フラッシュとは独立の微細化を進展させている。電荷蓄積によらない論理的状態は、根本的な限界を有している。例えば MRAM の磁化反転のように少ない蓄積量のデバイスではランダムな熱的ノイズに弱いことがあげられる。例えば NRAM の超常磁性の制限などである。

このカテゴリに入るデバイスの弱点は、殆どのメモリ層自体は 2 端子素子で素子には選択性が無いことである。仮に On 状態と Off 状態の比が非常に高くても、On 状態でのリークパスが形成されるとメモリとしては全く成立しない。それ故にデバイス構成は 1T-1C 構造が FeRAM, 1T-1R 構造が MRAM と PCRAM 、或いは 1D-1R 構造が PCRAM というようになっている。従って小さいセルサイズ(4F2)を達成するには選択素子の開発が必須となる。加えて、選択素子を入れた複雑なセル構造は 3D-NAND のように最小の追加工程で 3D 化することは難しくなっている。

5.2.3.1 FeRAM

FeRAM は強誘電体キャパシタの極性を変化させ読み取ることで不揮発性を維持している。メモリの状態を読み出すため、強誘電体キャパシタのヒステリシスループを追跡しなければならず読出しの後に再書込みが必要である(DRAM のような破壊読出し)。この破壊読出しにより、適切な極性変化と動作サイクルにおける安定性を両立する強誘電体材料と電極材料の探査が重要である。強誘電体材料は通常の CMOS プロセスにとっては異質であり、特に高温のアニールに耐えられないので微細化を妨げる要因となっている。事実 FeRAM [25]は NOR 及び NAND フラッシュよりも数世代遅れたプロセス世代で製造されており、かつ多値化が実現できない。従って近い将来 NOR あるいは NAND フラッシュを置き換えるということは望めないであろう。しかしながら FeRAM は高速読出し/書換え、低電圧、低消費電力であり、それらの卓越した特性により RFID、スマートカードや他の混載のアプリケーションに最適である。今後の微細化によってアプリに適した大容量化を達成するためにはセル間の分離特性を維持したまま、セルサイズを縮小することが必須である。近年の研究成果からは強誘電体膜の薄膜化が可能であり、さらに近い将来 2 次元型のセル構造が実現されるであろう。それでもなお 3 次元型のセル構造にはさらなる研究開発が必要である。

5.2.3.2 MRAM

MRAM は磁気トンネル接合(Magnetic Tunnel Junction, MTJ)をメモリとして用いている。MTJ セルは 2 層の強磁性体膜とトンネル障壁として働くそれらの間の薄い絶縁層から構成されている。1つの磁気モーメントが他方の磁気モーメントと同じ方向か逆方向かによって MTJ 層を流れる電流が変化する。トンネル電流は"1"あるいは"0"が保持されているかどうかで読み出すことができる。MRAM は不揮発性であり書換えサイクル回数が無限大でかつ速いため、おそらくユニバーサルメモリに最も近いと思われる。従って SRAM や DRAM のように使われる不揮発メモリになりえるであろう。しかしながら集積回路中での磁気を発生することは困難であり不十分である。それにも関わらず電界反転型の MTJ MRAM は成功裏に量産されている。近い将来、研究開発により微細化されたセルサイズにおいて適当な磁気強度が得られてスイッチングが可能になるであろう。その際使用可能な電流密度はエレクトロンマイグレーションにより決まることになる。ゆえに磁気反転型 MRAM は 65nm 以細には微細化されそうになく、これは表 PIDS7b にも反映されている。

分極したスピン電流がその角運動量を自由磁気層に移動させ、外部磁場に依存することなく極性を変えるという動作原理のスピントルク型 MRAM の近年の進歩は新しい潜在的解法をもたらしている[55]。スピン注入の

プロセス中には大電流が MTJ にトンネル層に流れ、そのストレスが書き込み可能回数を劣化させる懸念や、上述のとおり、さらなるスケーリングには熱ノイズに対する安定性も課題になる。それ故に垂直磁化用材料が 32nm 以下のデバイスで必要と予測されている。これら垂直磁化用の材料は研究中で、ERM のチャプターで議論されており、最近実証されている[56]。

NAND フラッシュの飛躍的進歩と近年の等価的なスケーリングの継続が見込める 3D NAND の導入で、NAND を STT-MRAM に置換する可能性は遠いように思える。しかし、SRAM のような性能と従来の 6T-SRAM より小さいフットプリントは、高い書き換え耐性を必要としない携帯向け素子としてのアプリケーションでは非常に魅力的である。

5.2.3.3 PCRAM

PCRAM はカルコゲナイト材料のアモルファスと結晶の抵抗の違いを用いて、"0"と"1"状態を蓄積するメモリである。カルコゲナイト材料には通常 Ge2Sb2Te5 (GST)が用いられている。セルのデバイスは上部電極とカルコゲナイドの相変化層と下部電極の構成である。相変化素子と直列に接続されるトランジスタでリーク電流を遮断する。相変化の書込み動作は、(1) RESET 動作：短いパルス電圧でカルコゲナイド材料が一旦溶解し、素早く高抵抗のアモルファス状態に変異する、(2) SET 動作：100ns 程度のより長いパルス電圧を印加し材料をアニールすることにより低抵抗の結晶状態にする。1T1R あるいは 1D1R のセル構造は MOSFET か BJT が使われるのかによって、NOR フラッシュと比較してセルサイズが小さくも大きくもなる。またこのデバイスは前の状態を消去することなく、"0"と"1"どちらの状態にも書き込めるので高速書込みが可能である。さらに抵抗膜の単純な構造と低電圧動作が混載用途としての PCRAM の魅力である。PCRAM の主な課題は相変化素子を RESET する際の mA オーダーの高電流と SET 時間が長いことである。相変化材料の体積は微細化によって縮小することから、上記の 2 つの課題は微細化の進展に伴い解決される方向である。相変化材料と電極の相互作用は長期信頼性に影響を与え書換え回数を制限するので今後の PCRAM の大きな課題である。PCRAM はページモードを必要としないため DRAM のような真のランダムアクセスメモリである。

PCRAM のスケーリング限界は 5nm 以下であることがカーボンナノチューブ電極を使用した例で報告されていて[57][58]、リセット電流は大面積からの推測線に乗っている。また少なくとも一例以上 1011 回の書き換えが証明されている[59]。

PCM は 2011 年以来 NOR フラッシュを置換するために次世代電話で使用され、2012 年以来 45nm ノードで大量生産されている。しかし、NOR フラッシュは PCRAM の究極のアプリケーションにはなりそうにない。PCRAM は、性能上の利点とスケーラビリティにより、2 つの重要なアプリケーションの候補になっている。1 つは、高密度、高速読み出し・書き込みと高い書き換え耐性が求められるストレージクラスメモリ(SCM)であり、PCRAM は要求を満たすことができる候補のうちの1つである（もう1つは ReRAM）。もうひとつは DRAM を補完する高密度メモリです。書き換え耐性の制限と（書き込みに必要な大電流に起因した）より小さな帯域幅より、DRAM を PCRAM に交換するのは適していない。しかしながら、それを除けば DRAM に類似しており、将来そのスケーラビリティにより今後 DRAM ほど高価でなくなるかもしれない。また、PCRAM が不揮発性であるので、リフレッシュに必要なパワーと、そして DRAM ではより重要になりつつあるリフレッシュのためのむだな時間"dead time"の両方を節約できる。したがって、少量の DRAM と多くの PCRAM を使用するハイブリッド・メモリは、低価格の高機能メモリの解決策になりえる。

PCRAM の発展は、2011 年時の予測を、適度に追っている。45nm の PCRAM は、確かに生産に移行したが、しかし、より高密度(より小さな F)製品はまだ導入されていない。しかしながら、中間的または長期的なアプリケーション予測はまだ変わっていない。2013 年の技術要求表の重要な 1 つの変化は、単一 10 年から 0.83～10 年までとデータ保持時間の範囲を拡張することである。かなり短いデータ保持時間は、長いデータ保持時間を必要としない SCM タイプのアプリケーションを反映している。

5.2.3.4 抵抗変化メモリ - ReRAM

FeRAM、MRAM や PCRAM を超えるものとして、二端子のメモリデバイスに分類されるものの多くは、メモリアプリケーションに関して研究されている。これら抵抗変化メモリの多くはまだ研究段階であり、詳細は ERM/ERD の章にて議論されている。抵抗変化メモリは、10nm ノード以下への微細化の可能性より、2013 年に潜在的な解決策として PIDS の章に含まれており、また、多くの研究機関でこの技術を NAND(3D NAND を含む)の潜在的な後継者とすべく多くの努力がなされている。

全ての抵抗変化メモリは、2またはそれ以上の抵抗状態の間におけるスイッチングに共通の特徴を有しているが、それらは抵抗スイッチのメカニズムや特性に基づいて EDR/ERM 章の中で多くのカテゴリに分類されている(詳細については、ERD/ERM 章を参照)。PIDS の章では、2 つのカテゴリだけが潜在的なアプリケーションに基づいて議論されている。従って、記述は単に本質的な機能だけであり、包含関係は網羅的ではない。他の ERD/ERM カテゴリの材料および(または)構造は、PIDS のアプリケーションで分類されたカテゴリとオーバーラップするかもしれない。

<u>アプリケーション(Applications):</u>

1.　高密度不揮発メモリ(High-density non-volatile memory)

A.　高密度記憶(High-density storage)

現在のロードマップでは、NAND フラッシュメモリが短および中期的に高密度記憶領域を支配すると予測されている。2D NAND は、ほぼ 10nm(1Znm)のノードに、少なくとも~ 15nm(1Ynm)のノードに、微細化されるであろう。

2D NAND の微細化は、結局 1 つの素子当たり(および 1 つのロジック・レベル当たり)の少数の蓄積電子と近隣ワード線間での電気的破壊によって制限される（10nm ノードでは、2 本の近接ワードライン間に 10V を印加すると、近似的には 10MV/cm の電界が生じる）。2D NAND の継続的なスケーリングと平行して 3D NAND は 2014 年に開始され、3D レイヤー数の増加により等価的なスケーリングが継続されると思われる。3D NAND のスケーリングは蓄積電子の数ではなく、隣接したワード線間の耐圧によって制限されており、したがって制限がないように見える。しかしながら、3D レイヤーの数がすべてのノードで 2 倍にならなければならならず、構造を構築する際の困難さにより、実効的な制限を課するかもしれない。

次世代露光技術が有効であると仮定すると、垂直方向への積層の変わりに、もう一つの不揮発メモリのスケーリングパスとしてピッチ(横)方向のスケーリングが継続される。例えば、2D NAND が 5nm 毎のスケールダウンが継続されたとすると、20nmHP の 3D NAND は同じビットコストを見合わすために少なくとも 16 レイヤーが必要となる。2D NAND は 10nm 以降への微細化には適しておらず、PCM や抵抗変化メモリがその能力をもっていることは広く認識されている。さらには、PCRAM や ReRAM の 3D 化が構築される可能性もある。このため、楽観的なシナリオだが、2D、まして 3D PCRAM や PeRAM は、2D 及び 3D NAND を超えた高密度化を継承するかもしれない。例えば、4nm HP で 4 層 MLC のクロスポイント ReRAM は 12Tb/cm2 以上のセルアレイを提供するかもしれない。（ロードマップの終端であり現在の最小 HP である）8nmHP 2D NAND MLC でも 1Tb/cm2 しか実現できず、20nmHP 3D NAND では 12Tb/cm2 を実現するために 100 レイヤー以上が必要となる。従って、特に（制限されるが）3D 構造を構築する能力と融合したスケーリングの力は過小評価されるべきではない。

多くの要因に依存するため開始時期は不確かであるため、確立された技術であり、セルコンタクト要せず1つのトランジスタを必要とするシンプルな構造であるため、2D NAND はその微細化を出来る限り延命するべきである。ReRAM のセルは、DRAM に類似しているため、セルコンタクトのようなリークパスを排除するため分離素子（選択素子）が必要となる。さらに、単純なダイオードでの分離が出来なため、バイポーラ動作が必要となる。これらの課題に関わらず、解決策が提案されている。3D NAND は 2D NAND を超える HP で(2014-2016 に)開始される見込みであり、きわめて多くのレイヤー数（16 レイヤー以上）にならざらるを得ず、このため、2D ReRAM が早くも 2016 年に 3D NAND と競合する可能性がある。可能性の多くは、どれだけ早く、どれだけ

ReRAM の課題が解決されるか、次世代露光技術の成熟度、2D NAND の微細化の進捗、及び 3D NAND のレイヤー数の増加速度に依存する。

B. ストレージ・クラス・メモリ(Storage Class Memory (SCM))

コストを最小に抑える代わりに、ReRAM の高速スイッチング特性と I/O 帯域幅を改善するランダムアクセス構造を開発することが可能かもしれない。その機能は、一般的にはストレージ・クラス・メモリ(storage class memory (SCM))と呼ばれる。密度は、SCM が役立つ機能によって変わる。DRAM に類似した機能が要求される場合では、速度と書き換え耐性は DRAM 並みでなくてはならないが、あまり高密度である必要は無い(SCCM)。ストレージ機能が要求される場合では、速度は緩和されるが、SSD(SCM-S)と同等の密度である必要がある。SCM-M または-S は、DRAM とストレージ(SSD)の中間的な役割を果たし、高速かつランダムアクセス、高い I/O 帯域幅、及び少なくともリフレッシュパワーとデッドタイムを低減した部分的不揮発性を与える。

PCRAM と ReRAM は多くの共通した特性を示し、アプリケーションも類似している。また、共に 10nm 以降への微細化の可能性も有している。PCRAM は、比較的高いスイッチング電流と書込み帯域幅を制限する適度な速度(10nsec)をもつユニポーラデバイスである。ReRAM は、より高い帯域幅をもたらす様に見えるが、バイポーラセル選択素子の必要性から厳しい課題が課せられる。

ReRAM や高密度 PCRAM の成熟度に依存するため、SCM アプリケーションの導入次期は不確定である。しかしながら、このアプリケーションは、I/O 速度(従ってシステム性能)改善と他のメモリが満足できないパワー削減するといった次世代システム(サーバーやモバイル)の必要性から求められている。

2. 混載不揮発性メモリ/プログラマブルロジック(Embedded NVM/Programmable Logic)

現在、混載不揮発性メモリのニーズを満足し、OTP/MTP と互換性のある多くのロジックプロセスがある。

しかしながら、マイクロコントローラーや車載用途に重要な混載フラッシュメモリは、多くの追加マスクを必要とし、NOR フラッシュに起因したスケーリングの問題に直面している。PCRAM と抵抗変化メモリは、シンプルな構造(BEOL)で低電圧動作のため、有望な解決策となっている。PCRAM には、現在、最もよく使われている材料である GST-225(GeSbTe-2:2:5)の低い結晶化温度に起因した動作温度制限がある。いくつかの抵抗変化メモリはより高い許容温度を示すため、車載・産機用途には適しているかもしれない。

現行の強者(NAND)とは競合しないため、混載不揮発メモリへの導入時期は、高密度ストレージのそれより早めることができる。しかし、車載・産機用途では、新しいテクノロジーがしばしば直面する課題である厳しい信頼性基準が要求される。このため、コンシューマー用途で早期に導入されると思われる。

ある ReRAM(特に、コンダクションブリッジタイプ CBRAM)は、オン/オフ比とロジックプロセスの互換性から、プログラマブルロジック用途には適しているかもしれない。

テクノロジー(Technology):

1. コンダクションブリッジ RAM(Conduction bridge RAM (CBRAM))

恐らく最も理解しやすい抵抗変化メモリはコンダクションブリッジ RAM であり、それは固体電解質を有する 2 電極間に低電圧を印加(または逆)することにより、2 電極間に伝導性の橋が形成・破壊されるという現象に由来する。この電気化学過程は、電極表面から金属原子が付着、除去されるという電解メッキと似ている。正電圧が陽極に印加される場合、一本以上の金属フィラメントが陰極から成長することが出来る。結局は、最も成長したフィラメントが成長を促す最も高い電界を受けるので、一本のフィラメントが支配的となる。

CBRAM には、いくつかの得失がある。スイッチングメカニズムはよく理解されており、原子レベルのプロセスであるため、どこまで微細化できるといった物理限界がないように思える。オン/オフ比も非常に高い。しかし、安定性とプログラミングパワーの間に、いくつかのトレードオフがある。フィラメントの自己分解により原子が電解質に戻る傾向がある。フィラメントが薄い場合、容易に自己分解が起こる。より強固なフィラメントを形成するためには、より大きなパワーと長時間が必要となる。一旦フィラメントが形成されると、そこが支配的な電流経路になり、この電解質のプロセスを破綻させ、厚いフィラメントが形成されない。フィラメント成長の詳細は、まだ分かっていない。このため、原理としては、非常に微小な電流でフィラメント形成が形成されるが、リーク電流が支配的であり、電解質（イオン化）に寄与する電流はスイッチングに関わる総パワーの数%に留まる。フィラメントの自己分解を抑制する様々なバッファー層が提案さているが、10nm 以降のデバイスに向けた非常に薄いフィラメントの安定性はまだ実証されていない。

2.遷移金属酸化物(Transition metal oxide (TMO))

事実上、全ての遷移金属酸化物はある程度の R-V ヒステリシスを示し、それはメモリ素子として使用できるかもしれない。最も広く公表されているTMOデバイスには、CMOSプロセスにおいて既によくなじみのある材料、TiOx, WOx, CuOx, NiOx, TaOx and HfOx が使用される傾向がある。ReRAM は BEOL で形成されたため、これらの良く知られている材料の使用は、コンタミネーションに関わる課題を少なくし、導入を促す。CBRAM のように、報告されている TMO ReRAM の多くはバイポーラ動作を使用する。すなわち、パルスの一つの極性では抵抗値を low から high にスイッチし(Reset)、他方では逆に high から low にスイッチする(SET)。抵抗スイッチのメカニズムに関してはコンセンサスを得ていないが、近年酸素欠損の電気化学的な移動により伝導性フィラメントが形成・破壊させるという考えが受け入れられている。この理論では、TMO/電極界面近傍での帯電した酸素欠損が印加された電界により界面に向かったり離れたりすることにより、TMO の導電性が変化する。可動イオンが金属原子の変わりに酸素(欠損)という点を除けば、この理論は CBRAM のメカニズムと似ている。TMO スイッチングは数 n 秒以内と非常に速いため、本質的には拡散フリーのプロセスである。フィラメントが構築または破壊される CBRAM と異なり、TMO の現象は極めて界面近傍領域で起こる。電極材料も非常に TMO 現象に影響を与えることが示されている。しかし、いくつかのユニポーラ動作の特性は電気化学的メカニズムでは説明できない。絶縁物-金属間遷移に関して電流に誘発されるモット絶縁物-金属遷移が提案された。

TMO の材料とプロセスに依存するが、広範囲で遷移が報告されている。仮に報告された特性内の全ての良い特性を融合させると、ReRAM では、ナノ秒でのスイッチング、250℃以上の高い許容温度、1E9 回以上高い書き換え耐性が可能となる。現実的な観点からは、NOR フラッシュと PCRAM と等価な特性がきたいされる。

ReRAM に関する多くの報告では、通常のスイッチングが起こる前の極めて初期段階での“形成(forming)”過程の必要性が説かれている。この形成過程では高い電圧が必要とされ、非導電性酸化物を破壊しているように見えるが、詳細は分かっていない。しかし、形成過程のアバランシェ状態に近い状態では、相当な電流が流れ、パワーと速度が関係していると考えられる。また、形成過程の無い TMO 素子/プロセスも報告されている。

10nm 未満の単体セルの報告もあれば、ReRAM アレイ動作に関する多くの報告もある。TMO は、CMOS と互換性のあるプロセスと材料を使用することにより、1 枚だけの追加マスクで実証されるかもしれない。

いくつかの TMO 素子で、ユニポーラ動作（つまり、一方向のみの電圧極性を使用）が実証されている。ユニポーラ動作は、広く理解されている電気化学的なメカニズムとは一致しない。全てのユニポーラ動作では SET 動作(HRS から LRS)のために極めて高い電流が報告されているため、熱プロセスが含まれていることが提案されている。いくつかのユニポーラ動作では、モット絶縁物-金属遷移が提案されている。電圧が印加されている場合、陽極に隣接しているTMO(例えばNiO)では電子が不足した状態のため、元来メタリックな性質の NiO は、絶縁物に変わるためにモット絶縁物-金属遷移を経験する。その後、ある電圧が印加されると、陽極近傍の NiO

の電子欠損を過剰に補うには十分な段階までトンネル電流が強くなり、その結果、モット絶縁物-金属遷移を誘発する電子過剰状態になる[60]。

要するに、TMO は、全く異なるメカニズムのより引き起こされているかもしれない相当異なるスイッチング特性を示す様々な材料を含んだカテゴリである。

課題(Challenges)

多くの成功したアレイ動作や製品開発の発表があるが、CBRAM と TMO に基づいた ReRAM は製品への導入を始めた段階であり、高密度製品の導入は未だに無い。より微細化した際の均一性と信頼性は重大な問題となると思われる。

高密度用途では、どのようにセルサイズを縮小し、どのような分離素子をしようするかが困難な課題の1つである。バイポーラ動作(もっとも普及したモード)では、コンパクトな分離(セル選択)素子の欠如により、クロスポイント型 4F2 セルの実現を困難にしている。典型的な MOSFET の使用により、セルサイズは 8F2(DRAM)または 10F2(NOR フラッシュ)まで容易に拡張される。最近、バイポーラ分離にツェナーダイオード・タイプの I-V 特性を備えるためにイオン/電気伝導混合素子(mixed ionic/electronic conducting device (MIEC))が導入された[61]。この新しい素子の信頼性は証明される必要がある。

ユニポーラ動作では、pn 接合ダイオードがセル選択素子として使用されるかもしれないが、ダイオードの Vth が問題となる。書込みと読み出し共にダイオードを必要とするので、低電圧での読み出しは困難である。HRS と LRS の比率は、ダイオード抵抗以下にならないようにするために十分高くなければならない。

高速読み出し帯域幅を得るためには、読み代電流は合理的な範囲(100nA-10uA)でなければならない。同様に、書込み電流も同様の範囲で低くなければならない。このため、スイッチングメカニズムが本当に電気化学的である場合、重大なリードディスターブを起こすことがある。

恐らく、最も困難な課題は 2D, 3D NAND との競合である。技術要求表で見られるように、2D ReRAM の実装密度(bits/cm2)は、実質的に 2018 から 2020 年に掛けて 3D NAND を下回っており、HP が実質上より小さくなったとしても 3D NAND 以下のままである(しかし、われわれは 100 レイヤー以上の 3D NAND の実現は保証されないことを覚えておく必要がある)。もし、3D ReRAM が達成されれば(不確かであるが)、実装密度は実質的に 3D NAND を上回ることができる。

<u>3D ReRAM の課題(Challenges to 3D ReRAM)</u>

トランジスタとは異なり、抵抗素子は 2 端子素子である。不可能ではないかもしれないが、(x,y,z)座標と便宜上一致できるかもしれない 3 端子素子ではないので、2 端子素子の 3 次元配列化は本質的に困難である。

1つの革新的なアプローチとしては、2 端子 ReRAM の垂直方向の一列を制御する分離素子として x-y 底面上でトランジスタを使用する方法である。しかし、底面のトランジスタにより ReRAM セルの一列に xy 座標が与えられたとしても、他のメモリの面から本当に分離されるわけではない。図 PIDS16 に示すように、各 z 面のワードラインはラインでは無く面である[62]。センターピラーは一つの導体(または電極)として働き、ReRAM セルは水平方向(xy 面)に配置される。円状分離(セル選択)素子は z 面における膨大なリークパスを遮断するためにっ十分高いオン/オフ比がなければならない。単体セルのリークは、そのセルだけでなく他の面とのリークパスとなる(センターピラーを介して)。このため、レイヤー数およびブロック数(2D)を増加させるためには、高いオン/オフ比が必要となる。

ダイオードタイプの素子は、バイポーラ動作の要求だけでなく、3D 配列における分離素子として適していないことに注意しなければならない。ダイオードは逆バイアスを維持するために空乏層が必要であり、その厚さは nm(ナノメーター)の数十倍である。10nm HP 未満に極端にスケーリングした場合、隣接する素子間に空乏層を

広げるような空間はない。このため、高いオン/オフ比と非常に高い書き換え耐性を有したコンパクトな(<2nm)分離素子が 3D ReRAM の最も困難な課題の 1 つとして残存する。また、選択(分離)素子はリード動作中(オン/オフ)サイクルを繰り返すため、極めて高い書き換え耐性が必要であることを追記する。

ReRAM のユニポーラ動作が実現された場合、ストレージ要素の中で、また、WL/BL クロスポイント型アレイの中で、垂直方向に配置することにより、セル分離素子として使用されるかもしれない。このタイプの積層では、3D NAND でコスト削減に寄与したカットアンドプラグ方式はできない。そかし、図 PIDS16 によれば、このタイプの積層は、4-6 層の積層でビットコストを 2 倍まで削減できる。それ以上の積層では、プロセスコストと実装密度の恩恵をアレイが相殺することにより、ビットコストは上昇する。ビットコストが 2 倍減少されれば、ReRAM の HP が 8nm 以下にスケールダウンした時に、3D NAND より低密度であってもコストは同等になる。
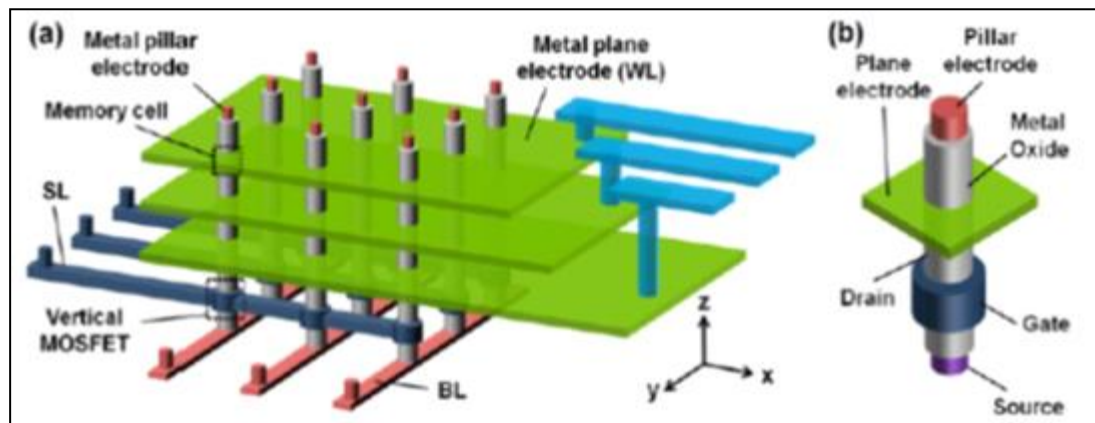
Figure PIDS 16 Schematic view of (a) 3D cross-point architecture using a vertical RRAM cell and (b) a vertical MOSFET transistor as the bit-line selector to enable the random access capability of individual cells in the array [59].

<u>結論(Summary)</u>

抵抗変化メモリは原子レベルの操作によって MIM 抵抗の伝導性を変化させるため、蓄積電子のかずによって制限は受けない。原理的には、電気特性に寄与する原子の数により制限される。ReRAM スケーリングはいつ制限されるのかという予測に対して、原子レベルでの十分な理解には至っていない。デバイスレベルでは、10nm 未満の ReRAM が報告されている。アレイレベルでは、20nm 1G ビット 2 層 3DReRAM が公表されている。最近、ある企業から、混載メモリとして ReRAM を使用した製品導入の発表があった。しかし、高密度 ReRAM では、NAND との価格競争といういくつかの困難な課題を克服しなければならない。

20nm(1Znm に向けたスケーリングを含めて)以下に向けた 2D NAND の最近の進歩と 3D NAND の導入により、ReRAM の領域はさらに縮小されている。10nm 未満の極端なスケーリング、高いオン/オフ比、バイポーラ、コンパクトで高い書き換え耐性を持ったセル選択素子が高密度 ReRAM のための重要な課題である。
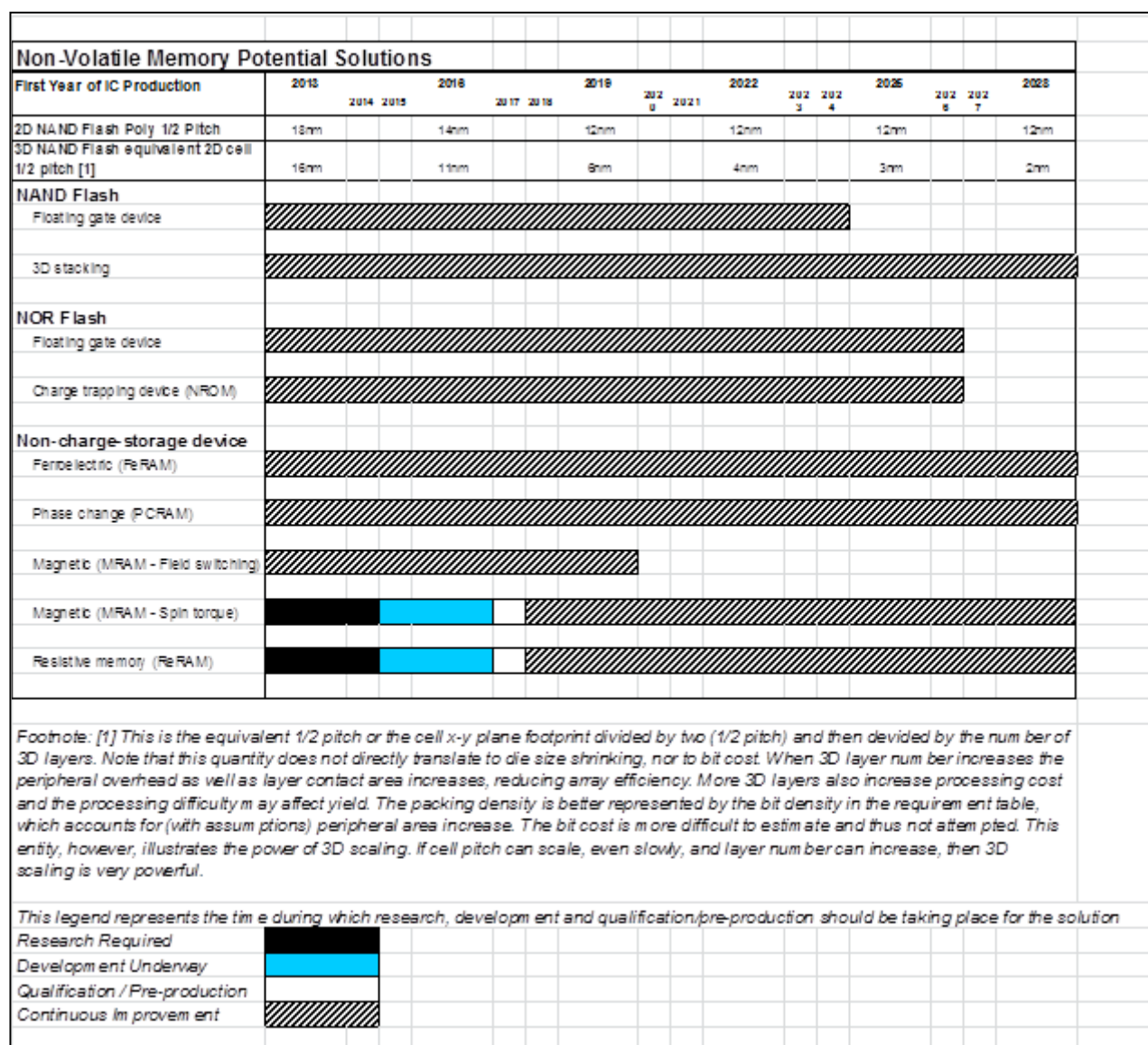
Figure PIDS 17　　Non-volatile Memory Solutions

6 信頼性技術

信頼性は集積回路のすべてのユーザーにとって重要な要求である。要求レベルの信頼性を実現するためにやるべき事は増えつつある。その主な原因は、(1)微細化、(2)新材料と新デバイスの導入、(3)信頼性使命の拡大導入（より高温領域、超長寿命、高電流）、(4)時間と投資額の制約導入である。

(1) 微細化は、チップとパッケージの両方においてトランジスタ数と配線数の増大をもたらし、それが潜在的欠陥の数を増やしている。また、劣化メカニズムそのものも微細化の影響を受ける。例えば、シリコン酸窒化膜の時間依存性絶縁膜破壊（TDDB）は、絶縁膜厚が5nm以下になるにつれて電界による破壊から電圧による破壊にメカニズムが変化していった。あるいは、Pチャンネルデバイスの負バイアス温度不安定性（NBIT）は、閾値電圧が高い時代には影響が小さかったが、閾値電圧が低い最先端デバイスでは大きな障壁になっている。さらに、トランジスタのサイズがフォノンや電子の平均自由行程やドブロイ波長などの根本的な値と同等あるいはそれら以下になった場合には、よく知られた劣化メカニズムは変化し、新しいメカニズムが現れるだろう。例えば、ランダム・テレグラフ雑音(RTN)は、トランジスタ微細化に起因する重大な信頼性課題となっている。また、微細化による新しい課題としては、ゲートとコンタクト間の絶縁破壊がある。

微細化は、ばらつきの増大を予測させる。デバイスパラメータに敏感である信頼性劣化メカニズムはばらつきと密接に関係し、信頼性劣化を助長するので、測定回数が限定されている現状では信頼性予測を

大変困難にしている。 例えば、電圧ばらつきはトンネル電流を変え、ゲート電流(BTI, TDDBなど)に敏感な全てのモードに影響を与える可能性があり、ゲート長ばらつきは、HCI(ホットキャリア不安定)のような横方向電界に依存する劣化に影響を与える可能性がある。さらに、ゲート長とゲートオーバードライブはRTNに関連するので、ゲート長とゲートオーバードライブのばらつきは信頼性に影響を与えるかもしれない。大きな初期ばらつきは、試験するデバイス数が多くなければ、ばらつきが増幅する劣化効果を見分けることを難しくするであろう。

また、微細化は、ストレス要因の実効的な増加をもたらす。第1に、微細化により電流密度が増加することで、配線信頼性に影響を与える。第2に、微細化による電圧スケーリングはデバイス寸法よりも緩やかに比例縮小される場合があるので電界が増加し、その結果、絶縁膜の信頼性に影響を与える。第3に、微細化は消費電力の増大をもたらし、それはチップ温度の上昇、温度サイクルの増加、温度勾配の増加につながる。それらは複数の劣化メカニズムに影響を与え、さらに、温度効果は金属配線間の絶縁膜の誘電率低下に伴う熱伝導率の減少によっても劣化する。

(2) 新材料、新デバイスに伴う革新的な変化は、より困難な信頼性課題を発生させる。理解されていた劣化メカニズムが変化する可能性がある。また、高誘電率膜、低誘電率膜や金属ゲートなどの新材料や2重ゲートやFinFETなどの新デバイスは、TDDBやBTIのような良く知られた劣化メカニズムを変えるか、あるいは新しい劣化メカニズムを引き起こす可能性がある。信頼性評価は、ゲートスタック構造の材料間相互作用により一層複雑であり、ゲートスタック構造そのものも、形成プロセス(堆積技術、熱処理プロセスなど)に強く影響される。そのような多材料ゲートスタック構造は、特定プロセス起因の劣化(本質的、および非本質的なメカニズムを含む)を引き起こす可能性がある。例えば、酸窒化膜と多結晶シリコンゲートから高誘電率膜と金属ゲートへの変更により、Nチャンネルデバイスの正バイアス温度不安定性（PBTI）は新しい劣化メカニズムとして出現した。さらに上記変更は、TDDB特性も、従来の多結晶シリコンゲートMOSFETsで観察された段階的なあるいは多重の破壊モードから、より急峻な破壊へと変化させている。低誘電率金属配線間絶縁膜の機械的、熱的脆弱性は従来の層間絶縁膜であるシリコン酸化膜では見られなかった機械的劣化メカニズムにつながっている。

集積回路の機能性を向上する方法の1つはCMOSのプラットフォームの上にセンサーやアクチュエーターを集積することである。そうした“More than Moore”手法は信頼性確保の複雑性を大いに増大させる。これらの新技術はロードマップ上の微細化の終焉前に導入されるという可能性は高く、その準備を行わなければならない。センサーやアクチュエーター導入は独自の信頼性課題を引き起こす可能性が高く、全く新しい信頼性課題を提起するであろう。

(3) 信頼性使命は、さらに拡大する傾向にある。例えば、自動車に用いるセンサーでは、200℃を越える領域での信頼性が要求される。また、基地局や太陽電池などの応用では、数十年に渡る連続使用の信頼性が要求される。

(4) 時間と投資額の制約は、主要技術の変革とともにますます増加し、しかも信頼性エンジニアリングがその技術変革に同期して信頼性を維持しなければならないという課題を提起する。さらに、新材料や新デバイスの導入速度は、新しい不良メカニズムと物理を構築する我々の能力を超えつつある一方で、不良率への要求はますます高まっている。もしも、最終製品に解明されていない不良メカニズムを導入せざるを得なくなったら、その影響は深刻であろう。

これら信頼性への課題は、短期間に複数の新たな技術変革を導入する必要性から、より深刻になるであろう。また、複数の技術変革は相互に作用して、不良モードの理解と制御をより一層困難にする。さらに、複数の主要課題を同時に扱うことは、限られた信頼性リソースに重荷を課すであろう。

6.1 信頼性の最重要課題

表　PIDS8は、近い将来での信頼性の最重要課題を示している。これは、本章の最初に記述している「材料、プロセス、デバイス構造の複数回にわたる急速な変化に対する信頼性の適切な保証」というPIDS全体の困難課題を詳しく記述するものである。

近い将来での信頼性の最重要課題の一つ目は、MOSトランジスタに関係する故障メカニズムである。デバイ

ス故障は、ゲート絶縁膜の破壊か許容限界を超えるしきい値電圧変動によって生じうる。最初の故障発生までの時間は微細化と共に短くなる。この初期故障は、しばしば"ソフト"破壊である。しかしながら、回路によっては、IC故障が起きるには、複数回のソフト破壊の後かもしれないし、あるいは、最初のソフト破壊点がハード故障に進行するまでは回路は長い間機能しているかもしれない。しきい値電圧に関係する故障は、主に、p型チャネルトランジスタの反転層状態で観測される負バイアス温度不安定性と関連する。この現象は、しきい値が低くなり、ゲート絶縁膜がシリコン酸化膜からシリコン酸窒化膜に置き換えられるにつれて顕著となってきている。傷のある製品の信頼性を強化する通電試験は、NBTIシフトを加速する可能性があるので、影響を受ける可能性がある。高誘電率ゲート絶縁膜の導入は、絶縁膜故障モード(例えば、絶縁破壊と不安定性)とトランジスタ故障モード(例えば、ホットキャリア効果、正負バイアス温度不安定性)の両方に影響を及ぼすかもしれない。また、多結晶ゲートから金属ゲートへの置き換えは、絶縁膜信頼性に影響するだけでなく、新しい熱的機械特性の課題を引き起こす。さらに、高誘電率膜と金属ゲートを同時に導入することは、信頼性メカニズムを決めることを一層難しくしている。

すでに記述したように、銅と低誘電率膜の導入は、低誘電率絶縁膜での熱伝導率の悪化とそれに伴うチップ温度上昇と局所的な温度分布によって、前工程信頼性にも影響を及ぼした。

ICは、多くの異なる応用に使われている。それらの中で、信頼性が特に重要である特別な応用がいくつかある。一番目としては、一般消費者や事務所でのIC利用よりはるかに厳しい負荷を与える外部環境での応用がある。例えば、自動車、軍用や宇宙でのIC利用は、温度と衝撃の点から厳しい負荷が与えられることになり、航空機や宇宙での利用は、放射線環境がより一層厳しいものとなる。さらに、基地局のような応用では、ICに対して限られた用途での加速試験をするような、高い温度で何十年も続けてオン状態であることが必要とされる。二番目としては、IC故障の影響が主流のIC応用よりも極めて甚大である重要な応用(例えば、埋め込み型電子機器、安全システム)がある。一般的に、微細化されたICでは、ロバスト性が弱くなり、こうした特別用途の信頼性要求を満足することが難しくなる。

信頼性工学においては、各々の故障メカニズムによる寿命には分布があるという事実がある。低い故障率要求については、故障時間分布の初期時間範囲に注意を払う必要がある。微細化とともに、プロセスばらつき(例えば、ドーパント原子分布、CMPばらつき、ラインエッジラフネス)は、増え続け、同時に、重要な欠陥寸法は、縮小する。こうした傾向は、故障分布における経時変化の増加としてあらわれ、そして、最初の故障までの時間短縮という傾向につながる。我々は、デバイス物性にて増加するばらつきを処理できる信頼性工学ソフトウェアツール(例えば、スクリーン、検査、信頼性を考慮した設計)を開発して、信頼性予測における不確実性を定量化するための厳密な統計データ分析を実行する必要がある。故障信頼性解析のために、ワイブル統計や対数正規統計を用いることは、すでに確立されているが、信頼性マージンが少なくなる将来においては、危険性を定量化する統計的信頼境界については、より慎重な注意が必要とされる。こうした解析は、新しい故障物理がこれまでの統計分布から大きく重大な逸脱を引き起こし、誤差解析を直接できなくなるかもしれないということから、より難しくなる。BTIやホットキャリア劣化のような他の信頼性データの統計解析は、現状、標準化されてはいないが、回路故障率の正確なモデリングのために、今後必要とされるかもしれない。

遠い将来の信頼性困難課題は、デバイス、構造、材料、応用における重要で破壊的な変化に関連する。例えば、ある時点で、銅ではない配線(例えば、光配線やカーボンナノチューブ配線)とか、古いMOSFETの代わりに、トンネルをベースとするFETを導入しなければならないかもしれない。そうした破壊的な技術については、現状、信頼性に関する知識(ICでのそれらの応用を最小限であるとして)は、ほとんど保有されていない。この状況では、モデル(寿命分布の統計モデルと寿命が負荷、構造や材料にどのように依存するのかという物理モデルの両方)を調査し、獲得した知識(新しい構造組み込み信頼性、設計組み込み信頼性、スクリーンや検査)を適用するためには相当の努力が必要であろう。一方、こうした新しい信頼性性能を発展させるために、時間と資金をそれほど多くは投資できないかもしれない。したがって、破壊的な材料やデバイスは信頼性の点で混乱につながり、それら性能を高めるためには、相当の資源が必要であろう。

Table PIDS8　　Reliability Challenges

Near-Term 2013-2020	***Summary of issues***
Reliability due to material, process, and structural changes, and novel applications.	TDDB, NBTI, PBTI, HCI, RTN in scaled and non-planar devices. Gate to contact breakdown. Increasing statistical variation of intrinsic failure mechanisms in scaled and non-planar devices. 3D interconnect reliability challenges. Reduced reliability margins drive need for improved understanding of reliability at circuit level. Reliability of embedded electronics in extreme or critical environments (medical, automotive, grid...).
Long-Term 2021-2028	***Summary of issues***
Reliability of novel devices, structures, and materials.	Understand and control the failure mechanisms associated with new materials and structures for both transistor and interconnect. Shift to system level reliability perspective with unreliable devices. Muon induced soft error rate.

6.2 信頼性への要求

信頼性への要求は応用に強く依存している。ほとんどの顧客にとって、パッケージの信頼性を含む現在のすべての信頼性基準は、技術変革による信頼性の危機にも関わらず、今後15年間は維持されなければならない。一方で、信頼性基準を向上させなければならないニッチ市場も存在する。より高い信頼性基準、厳しい使用環境、長い保証期間を要求する応用は通常のオフィスや携帯などの応用よりも困難である。チップ全体の一定の信頼性基準は、微細化によるトランジスタ当たりの信頼性を不断に向上させなければならないことを必要とすることに注意されたい。信頼性仕様を満足することは顧客にとって大切な要求であり、通常の信頼性要求を満たさないことは最悪である。

これらの顧客の要求は、半導体メーカーへの要求に落とし込まれ、それら半導体メーカーでは、要求を満足するために、すべての不良モードに関する綿密な物理的知識と、信頼性設計、構築された信頼性技術、信頼性保証、欠陥選別や安全化方法論における強力な信頼性工学機能に頼ることになる。しかし今日、これらの機能には現実と大きな隔たりがある。さらに、この隔たりは、新材料と新デバイス構造の導入に伴い、より広がることになる。また、不十分な信頼性検証技術は、製品性能の必要の無い劣化や必要無いはずの危険性にもつながるのである。

信頼性保証は、常にある種の危険性を伴う。信頼性要求に合わない技術を保障してしまう危険性や信頼性要求に合致する技術を拒絶してしまう危険性があるからである。新技術に対しては、いずれかの時点で、保証の付与が試みられることになる。しかしながら、そうした保証に伴う危険性は大きいものである。危険性の程度は、信頼性物理の品質と信頼性工学の知識に直接的に関連する。こうした危険性を低減するには、頑健性の確認という概念を、より一層活用することが求められる。劣化モードに関する完全な知識、モデリングと信頼性使命の影響評価の組み合わせこそが、本質的に信頼性課題を有する技術の使用を防ぐことができるのであり、それらを適切に用いることで、保障評価時間を短縮できたり、危険性を低減できたりするであろう。

別の課題は、製品開発や製品保障の段階で、浴槽曲線の初期劣化領域で百万分の一という低い信頼性レベルを保障しなければならないことである。保障によく用いられる試料群は、その段階では保障を統計的に支持するのに十分な量が供給されることはないであろう。

信頼性技術要求の色表示は、新材料と新デバイスに対する完全でない知識と技術に伴う危険性を示している。仮定としては、現在年(2013)では問題が無く、翌年はほぼ用意ができているものとしている。ロードマップでの黄色から縞模様への遷移は信頼性の危険増大を示す。要求が最初に黄色（製造解決策は知られている）に

変わる2014年では、微細化と消費電力増加に伴う危険性は比較的小さい。nBTIについては2015年に、pBTIについては2017年に縞模様(暫定解決策が知られている)変わっているが、この年表示はおおよその値である。計算されたVmaxは、公開されている論文[61]から抽出されているので、その結果は、本質的な数値であるかもしれないし、そうでないかもしれない。従って、計算されたVmaxがVddよりも小さい時、表示色は、課題に対して解決策が知られていない赤ではない。相違が確実である時にのみ、赤が用いられるのである。危険性の評価というものは、本来、信頼性課題としては知られているが、よく理解されていない事柄にとっては、あまり信頼がおけるものではない。例えば、最先端の微細化されたデバイスでは、ドレイン・バイアス電圧印加によってNBTI劣化が強く加速されることが挙げられる。普通レベルの危険性の評価は、課題の自覚度合いを反映するものである。これらの課題を解決するには、多くの努力とリソースが必要である。

また、新しいデバイスや材料（例えば、光配線、非 CMOS トランジスタやメモリ）が導入される時点は、含まれない。上記に述べたように、これらの変化は、大きな信頼性危険性を誘発し、信頼性物理と工学において必要な機能を開発するためにかなりの期間を要する。我々はこれらの破壊的な技術がどんなものであるか、あるいはいつそれらの技術が導入されるか正確には知らないので、信頼性危険性についても前もって知る手段がない。ロードマップの赤色は、ばらつきの増大や新デバイスと新材料の知られていない信頼性の振る舞いと、それらの相互作用を反映している。それは、既知の解決方法がない知られた課題よりも、むしろ未知の課題の増大を示唆している。信頼性の知識の品質が乏しいほど、信頼性の危険性は増大するのである。

Table PIDS9　Reliability Technology Requirements

6.3 信頼性の解決策候補

信頼性の要求に応える最も効果的な方法は、それぞれの技術世代の開発開始時点で入手可能である、信頼性組込み技術と信頼性考慮の設計技術の完全な方策を得ることである。これにより、最適な信頼性/性能/消費電力の選択が可能になり、十分な信頼性を満足する製造プロセスを構築することができるのである。不幸なことに、現在これらの手段には深刻な隔たりがあり、この隔たりは将来ますます大きくなりそうである。その不利益は信頼性課題の危険性を増やし、性能、価格や商品化までの時間に悪影響を及ぼすであろう。

究極的なナノデバイスでは、ばらつきの程度が大きく、最初から動作しないデバイスの割合が高くなると一般的には考えられている。これは、分子レベルでのデバイス固有の本質ではないかと見られる。その結果、回路設計者が最悪デバイス性能条件での回路設計という手法を取ることは、もはや不可能になる。なぜなら、最悪条件での回路設計は回路の性能を台無しにしてしまうからである。従ってこの問題を解決するためには、回路とシステムの枠組みの完全な変革が必要である。しかし、そうした回路やシステムの変革にはまだ到達していないので、現状では、ばらつき増大は、ほとんどのメーカーに負担をかける信頼性課題となっている。これは、ばらつきが信頼性寿命算出の正確性を損ない、試験デバイスの数を飛躍的に増大させるからである。こうしたばらつきと信頼性の連携作用が微細化の利益を圧迫している。従って、ロードマップの終焉前のどこかの時期で、大規模回路におけるすべてのトランジスタを仕様通りに保証するというコストは大きすぎて現実的ではなくなるだろう。その結果、製品の信頼性をいかに達成するかという根本的な考え方を変える必要がある。この考え方は、ストレスと破壊にうまく対処する能力である回復力として知られている。1つの可能性のある解決方法は、通常性能からはずれて動作している回路の部品を測定し、動作中にも回路の動作電圧を可変にできる、いわゆる監視装置を回路内に置くことである。このような解決方法はより探究され、開発されることが必要である。究極的には、動作不良と不良デバイスを避けるために動的に自己再編成できる（あるいは機能の変換/改良を行う）回路が必要になるであろう。

信頼性評価は、例えば、プロセス開発の短期間化や多様な応用に調整された新材料・ゲートスタック材料の増加により複雑さを増しているが、こうした複雑さが増すことは、物理を基礎とする微視的信頼性モデルをより

一層用いることで多少改善できるかもしれない。そうしたモデルは材料構造シミュレーションに関連し、原子レベルでの劣化プロセスを考慮している。少しずつ、こうしたモデルの必要性は認められつつあり、信頼性評価の統計的手法への信用性を少なくしてきている。従来の統計的手法は高価で長期間が必要である課題がある。これら新モデルには、さらに付加的な利点がある。例えば、新モデルは比較的容易にコンパクトモデル技術に組み込まれうることや、特定用途の製品に適用される前には限定的な校正が要求されるだけであることなどである。

いくつかの小さな変革はすでに静かに始まっているかもしれない。最初の段階では、単純に、信頼性要求に精密に合わせ込むことで、過剰な余裕を排除することであったり、あるいは製品の信頼性仕様を満足させることであったりする。より洗練された手法は、欠陥を許容した設計、欠陥を許容した構成、欠陥を許容したシステムの構築である。こうした研究はおおいに盛んになってきている。しかしながら、デバイスの信頼性とシステムの信頼性の差は極めて大きく、デバイス信頼性の研究が回路への影響を明らかにすることが強く求められている。デバイス信頼性の多くの既存課題を調べるために、SRAMやリングオシレータなどの回路を用いることが増えることは良い兆候である。そうした調査は、回路の敏感さやばらつきといった課題を提示するものである。より一層のデバイス信頼性の研究が、回路やシステムの側面を提示することが必要である。例えば、ほとんどのデバイス信頼性の研究は擬似DC測定に基づいており、回路動作速度での劣化の影響を見ている研究はあまりない。この測定速度の差が回路性能に関するデバイス劣化モデリングを困難で危険性のあるものにしている。

一方、我々は従来の信頼性要求を満足しなければならない。これは、劣化機構の深い物理的考察と強力で実践的な信頼性解析装置の開発を意味する。歴史的には、新しい技術世代の量産前には、必要な性能の開発のために多くの年月（平均的には10年）を要する（研究開発は、劣化モードの解析、ばらつきの定量化、寿命予測できるモデル、信頼性の設計と信頼性TCAD装置の開発などを行なう）。品質判定技術は進歩しているが、まだ重要な隔たりがある。

重要な技術変革において、いかに早く信頼性機能を確立するかということには限界がある。重要な技術変革とは、ゲート絶縁膜の変更やMEMSを含む新デバイスなどである。主要技術変更を期限ぎりぎりで見極めることは、既存かつ適切な信頼性知識の根拠がなければ、大きな問題である。

遅れを取り戻すべき信頼性手法は、信頼性の研究・開発・応用の多大な増加と歴史的な時間よりずっと早い期間で必要な技術を取り入れることを要求している。それぞれの劣化機構に対する速い評価手法、有効なモデルや設計装置に関して、仕事が必要である。銅配線、低誘電率膜、新ゲート絶縁膜のような新材料の影響は特に注意しなければならない。短時間で集積回路の大部分に関して信頼性を正確に計算できる手法を開発する打開策が必要である。このような短期間での主要技術変革に対応するためには、信頼性手法を増やすことが必要であろう。

必要な技術は明らかに多いが、特に必要である技術は、間違った結果を誘発するであろう過剰な加速試験なしで、関連ある長期劣化診断をもたらす最適な信頼性評価手法である。この必要性は、標準的な試料寸法での寿命予測の正確性を損なう製造プロセスの余裕度の減少とばらつきの増大に起因する。多数デバイスに同時にストレスを印加できる環境が、特に長期信頼性評価には大いに望まれる。信頼性評価をある適切な価格で実現することは大きな課題であり、これは、今も困難であるが、より進化した世代においてはさらに難しくなる。この課題を解決するには、試験技術の打開策が本当に必要とされる。

7 TWG を跨ぐ課題

7.1 フロントエンドプロセス

Front End Process (FEP)と PIDS には強い相関関係がある。共通の課題は、完全空乏型 SOI 構造やマルチゲート構造の導入年の予測である。プロセスモジュール機能によって決められるたくさんのパラメータがあり、そうしたプロセスモジュールはデバイス特性に重大な影響を及ぼすものである。例えば、バルク基板のデバイスに関して、我々は短チャネル効果を抑制するための極めて高い不純物濃度の二律背反の困難に直面している。完全空乏型 SOI やマルチゲート MOS デバイスでは、主な課題は極薄シリコン膜チャネルを制御することである。すべてのデバイスには、特に極薄膜チャネルでは重要な課題として、ソース、ドレイン寄生抵抗の差し迫った要求がある。他の課題は、電源電圧(Vdd)の低下であり、これは、特に電流、速度、電気的ゲート絶縁膜厚、消費電力密度などほとんどすべての要因に影響する。DRAM では、微細化に伴いセルトランジスタのリーク電流を低く抑えることと同時に、金属—絶縁膜—金属(MIM)キャパシタに高誘電率絶縁膜を導入し実効絶縁膜厚を積極的に薄くすることが、共通の課題である。不揮発性メモリでの共通の課題は、フラッシュメモリの層間絶縁膜とトンネル絶縁膜の微細化に関する困難な二律背反である。

また、理想的には、両方の章で共通に使われている全てのパラメータは、まったく同じ値でなければならない。しかし、実際には、完璧な仕事をするためには、そうしたことが困難であることに気が付く。PIDS にとってその主な理由は、第一に、すべてのパラメータが ORTC によって取り決められた全体のロードマップ目標、例えば、設計からの値と同じようにデバイス速度 I/CV、ゲート長や Vdd などと整合しなければならないからである。また同時に、すべてのパラメータは、MASTAR シミュレーションと整合しなければならない。第二に、すべてのパラメータを整合させるために、それぞれのグループがプロセス機能とデバイス性能の観点から解決策を検討できるのは、数回の反復しか許されないからである。こうした課題を理解して修正する為に、近いうちに、両方のグループがなんらかのプロセスを始める計画がある。

7.2 設計

PIDS の成果を一番直接的に受け取るのは、設計 TWG である。だから、密接な関係が求められる。速度と消費電力に関する要求とそれらの二律背反が、議論のほとんどである。本質的なトランジスタ速度 I/CV と年毎の増加率は、回路クロック周波数と完全に結びついている。この割合は、17%/年から 13%/年へと最近変化してきており、さらに来年には、8%/年に低下されようとしている。これについては、設計を含む多くの TWG で合意されている。低電力技術である LP に関しては、目標基準は設計に多く依存している。全てのロジック技術は表 PIDS5 にまとめられているが、それら技術における速度や消費電力の基準に関する全体の要求や指標は、上記の相互協力の例である。

7.3 モデリングとシミュレーション

現在、PIDS は、主要なデバイス特性を計算する為に、MASTAR への入力としての物理的パラメータと輸送と静電性(サブスレッショルド・スロープ)における一定の仮定を用いている。MASTAR は解析式に基づいているので、実際のデバイス測定データによって検証されているが、将来の予測は不正確な部分を含む。長期予測での不正確さを少なくする手段としては、TCAD ツールを用い、MASTAR への入力パラメータであるバリスティック伝導係数やサブスレッショルド・スロープなどを決める方法がある。TCAD ツールでは、異なる複数の仮定やモデルを用いて相互確認することで結果の信頼性を上げる。また一方、InGaAs や Ge のような新しい高移動度チャネル材料に関しては、まだ多くの不確実性があり、例えば、III-V 材料での低い状態密度などである。モデリングとシミュレーション TWG との相互協力や援助は、非常に多くの利益をもたらしているので、今後も続ける必要がある。また、TCAD プロセスシミュレーションの重要性は、正しい注入量、欠陥の輸送と消滅、接触界面特性や形状寸法を提供することであり、それらによってデバイスシミュレーションは正確性を増すことができる。モデリングとシミュレーションの拡張を要求する他の長期的課題は、原子レベルのばらつき、プロセスの

統計的ばらつき、新しい配線構成などである。加工寸法の微細化に伴って、新しいプロセス工程、設計や材料に関わるデバイス、配線や回路での信頼性課題はより一層重要になるだろう。

7.4 新探究デバイスと新探究材料

Emerging Research Devices (ERD)の章では、ロジックデバイス、メモリや設計を含む領域で、現状のシリコンCMOS 技術を超える可能性のある将来技術を扱っている。つまり、PIDS の章で記述されている CMOS の後継となりうる技術に関心を持っている。ロードマップの終焉あるいはその先に向かって、CMOS の微細化が効果的ではない、あるいは価格が合致しないという際に、電子産業界が性能、低消費電力、機能当たりの低コスト、高機能などをさらに追求するようであれば、ERD 技術が必要になると予想される。従って、PIDS の可能性ある解決方法の表には、ロードマップの後半に ERD の解決方法を挿入している。同様に、材料に関する項目は Emerging Research Materials (ERM)の章から引用している。

8 リファレンス

[1] M. Na et al., *IEDM Technical Digest*, p. 121, Dec. 2006.

[2] T. Skotnicki et al., “Innovative materials, devices and CMOS technologies for low-power mobile multimedia,” *IEEE Trans. Electron Devices*, vol. 55, no. 1, pp. 96-130, January 2008.

[3] *H. Mendez et al,* “Comparing SOI and bulk FinFETs: Performance, manufacturing variability, and cost”, *Solid State Technology*, Nov. 2009.

[4] T. Skotnicki, et al., “A new punchthrough current model based on the voltage-doping transformation,” *IEEE Trans. Electron Devices*, vol. 35, no. 7, pp. 1076–1086, June 1988.

[5] T. Skotnicki et al., “A new analog/digital CAD model for sub-half micron MOSFETs,” *IEDM Technical Digest*, pp. 165–168, December 1994.

[6] T. Skotnicki and F. Boeuf, “CMOS Technology Roadmap – Approaching Up-hill Specials,” in *Proceedings of the 9th Int. Symp. On Silicon Materials Science and Technology*, Editors H.R. Huff, L. Fabry, S. Kishino, pp. 720–734, ECS. Vol. 2002-2.

[7] *http://nanohub.org/* last visit Jan 5th, 2014

[8] ITRS tool on nanohub.org (*https://nanohub.org/tools/itrs/*)

[9] R. Zhibin, R. Venugopal, S. Datta, M. Lundstrom, D. Jovanovic, J. Fossum, "The ballistic nanotransistor: a simulation study," *IEDM Tech. Dig.*, pp.715-718, 2000.

[10] M. Luisier, A. Schenk, W. Fichtner, G. Klimeck, “Atomistic simulation of nanowires in the sp3d5s* tight-binding formalism: From boundary conditions to strain calculations,” *Phys. Rev. B.*, vol. 74, no. 20, pp. 205323 (2006).

[11] M. Luisier, G. Klimeck, “Atomistic full-band simulations of silicon nanowire transistors: Effects of electron-phonon scattering,” *Phys. Rev. B.*, vol. 80, no. 15, pp. 155430 (2009).

[12] K. Banoo, M.S. Lundstrom, “Electron transport in a model Si transistor”, *Solid-State Electronics*, Volume 44, Issue 9, 1 September 2000, Pages 1689-1695.

[13] R. Granzner, V.M. Polyakova, F. Schwierza, M. Kittlera, R.J. Luykenb, W. Rösnerb, M. Städele, “Simulation of nanoscale MOSFETs using modified drift-diffusion and hydrodynamic models and comparison with Monte Carlo results,” *Microelectron. Eng.*, vol. 83, no. 2, pp. 241, 2006.

[14] M. R. Pinto, K. Smith and M. A. Alam, S. Clark, X. Wang, G. Klimeck, D. Vasileska, "Padre," *https://nanohub.org/resources/padre*. (DOI: 10.4231/D3RJ48T5G).

[15] X. Sun, X. Wang, Y. Sun, M. Lundstrom, "MIT Virtual-Source Tool," *https://nanohub.org/resources/vsmod*. (DOI: 10.4231/D3028PC40).

[16] M. Luisier, A. Schenk, W. Fichtner, and G. Klimeck, “Atomistic simulation of nanowires in the $sp^3d^5s^*$ tight-binding formalism: From boundary conditions to strain calculations," *Physical Review B*, vol. 74, no. 20, p. 205323, 2006.

[17] R. Kim and M. S. Lundstrom, “Physics of carrier backscattering in one-and two-dimensional nanotransistors,", *IEEE Transactions on Electron Devices*, vol. 56, no. 1, pp. 132-139, 2009.

[18] C. Jeong, D. A. Antoniadis, and M. S. Lundstrom, “On backscattering and mobility in nanoscale silicon mosfets," *IEEE Transactions on Electron Devices*, vol. 56, no. 11, pp. 2762-2769, 2009.

[19] M. Lundstrom, “Elementary scattering theory of the si mosfet," *IEEE Electron Device Letters*, vol. 18, no. 7, pp. 361-363, 1997.

[20] P. Palestri, D. Esseni, S. Eminente, C. Fiegna, E. Sangiorgi, and L. Selmi, “Understanding quasi-ballistic transport in nano-mosfets: part i-scattering in the channel and in the drain," *IEEE Transactions on Electron Devices*, vol. 52, no. 12, pp. 2727-2735, 2005.

[21] K. Natori, “Ballistic mosfet reproduces current-voltage characteristics of an experimental device," *IEEE Electron Device Letters*, vol. 23, no. 11, pp. 655-657, 2002.

[22] P. Palestri, R. Clerc, D. Esseni, L. Lucci, and L. Selmi, “Multi-subband-montecarlo investigation of the mean free path and of the kt layer in degenerated quasi ballistic nanomosfets," in *IEEE International Electron Devices Meeting, 2006*, pp. 1-4.

[23] A. Khakirooz, K. Cheng, A. Reznicek, T. Adam, N. Loubet, H. He, J. Kuss, J. Li, P. Kulkarni, S. Ponoth, et al., “Scalability of extremely thin soi (etsoi) mosfets to sub-20-nm gate length," *IEEE Electron Device Letters*, vol. 33, no. 2, pp. 149-151, 2012.

[24] T. Hiramoto, G. Tsutsui, K. Shimizu, and M. Kobayashi, “Transport in ultrathin-body soi and silicon nanowire mosfets," in *2007 IEEE International Semiconductor Device Research Symposium*, pp. 1-2.

[25] K. Uchida, J. Koga, and S.-i. Takagi, “Experimental study on electron mobility in ultrathin-body silicon-on-insulator metal-oxide-semiconductor field-effect transistors," *Journal of Applied Physics*, vol. 102, no. 7, p. 074510, 2007.

[26] K. Shimizu, G. Tsutsui, and T. Hiramoto, “Experimental study on mobility universality in (100) ultra thin body nmosfet with soi thickness of 5nm," in *IEEE International SOI Conference, 2006*, pp. 159-160.

[27] O. Faynot et al. FDSOI Workshop, October 15, 2009.

[28] T. Skotnicki, F. Arnaud and O. Faynot, “UTBB SOI – a wolf in sheep’s clothing”, pp. 72-79, *Future Fab International*, vol. 42, pp. 72-79, July 2012.

[29] M. Salmani-Jelodar, S. Kim, K. Ng and G. Klimeck, “Scaling Issues and Solutions for Double Gate MOSFETs at the end of ITRS,” *ISDRS 2013*.

[30] J. Lacord, G. Ghibaudo, and F. Boeuf, “Comprehensive and Accurate Parasitic Capacitance Models for Two- and Three-Dimensional CMOS Device Structures”, *IEEE Trans. Electron Devices*, V. 59, No. 5, p. 1332, 2012.

[31] U. Avci and I. Young, “Heterojunction TFET Scaling and Resonant-TFET for Steep Subthreshold Slope at Sub-9nm Gate-Length”, p. 96, *IEDM* 2013.

[32] A. Khan, C. Yeung, C. Hu, and S. Salahuddin, “Ferroelectric Negative Capacitance MOSFET: Capacitance Tuning and Antiferroelectric Operation”, *IEDM Tech. Dig.*, p.255-258, 2011.

[33] J. Y. Kim et al., “The breakthrough in data retention time of DRAM using Recess-Channel-Array Transistor(RCAT) for 88 nm feature size and beyond”, *Symp. VLSI Technology Digest of Technical Papers*, p.11, 2003.

[34] J. Y. Kim et al., “S-RCAT (sphere-shaped-recess-channel-array transistor) technology for 70nm DRAM feature size and beyond”, *Symp. VLSI Technology Digest of Technical Papers*, p.34, 2005.

[35] Sung-Woong Chung et al., “Highly Scalable Saddle-Fin (S-Fin) Transistor for Sub-50 nm DRAM Technology”, *Symp. VLSI Technology Digest of Technical Papers*, p.32, 2006.

[36] T. Schloesser et al., “6F^2 buried wordline DRAM cell for 40 nm and beyond”, *IEDM Technical Digest*, p. 809, 2008.

[37] Deok-Sin Kil et al., “Development of New TiN/ZrO2/Al2O3/ZrO2/TiN Capacitors Extendable to 45nm Generation DRAMs Replacing HfO2 Based Dielectrics”, *Symp. VLSI Technology Digest of Technical Papers*, p.38, 2006.

[38] H. T. Lue, S. Y. Wang, E. K. Lai, Y. H. Shih, S. C. Lai, L. W. Yang, K. C. Chen, J. Ku, K. Y. Hsieh, R. Liu, and C. Y. Lu, "BE-SONOS: A Bandgap Engineered SONOS with Excellent Performance and Reliability," in *Tech. Digest 2005 International Electron Devices Meeting*, pp. 547-550, 2005.

[39] Y. Shin, J. Choi, C. Kang, C. Lee, K.T. Park, J.S. Lee, J. Sel, V. Kim, B. Choi, J. Sim, D. Kim, H.J. Cho and K. Kim, "A Novel NAND-type MONOS Memory using 63nm Process Technology for Multi-Gigabit Flash EEPROMs," *Tech. Digest 2005 International Electron Devices Meeting*, pp. 337-340, 2005.

[40] S-M. Jung, J. Jang, W. Cho, H. Cho, J. Jeong, Y. Chang, J. Kim, Y. Rah, Y. Son, J. Park, M-S. Song, K-H. Kim, J-S. Lim and K. Kim, "Three Dimensionally Stacked NAND Flash Memory Technology Using Stacking Single Crystal Si Layers on ILD and TANOS Structure for Beyond 30nm Node," *Tech. Digest 2006 International Electron Devices Meeting*, pp. 37-40, 2006.

[41] E. K. Lai, H. T. Lue, Y. H. Hsiao, J. Y. Hsieh, C. P. Lu, S. Y. Wang, L. W. Yang, T. H. Yang, K. C. Chen, J. Gong, K. Y. Hsieh, R. Liu and C. Y. Lu, "A Multi-Layer Stackable Thin-Film Transistor (TFT) NAND-Type Flash Memory," *Tech. Digest 2006 International Electron Devices Meeting*, pp. 41-44, 2006.

[42] H. Tanaka, M. Kido, K. Yahashi, M. Oomura, R. Katsumata, M. Kito, Y. Fukuzumi, M. Sato, Y. Nagata, Y. Matsuoka, Y. Iwata, H. Aochi and A. Nitayama, "Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory," *Digest of Technical Papers, 2007 Symposium on VLSI Technology*, pp. 14-15, 2007.

[43] J. Jang, H.S. Kim, W. Cho, H. Cho, J. Kim, S.I. Shim, Y. Jang, J.H. Jeong, B.K. Son, D.W. Kim, K. Kim, J.J. Shim, J.S. Lim, K.H. Kim, S.Y. Yi, J.Y. Lim, D. Chung, H.C. Moon, S. Hwang, J.W. Lee, Y.H. Son, U.I. Chung, and W.S. Lee, "Vertical Cell Array using TCAT (Terabit Cell Array Transistor) Technology for Ultra High Density NAND Flash Memory," *Digest of Technical Papers, 2009 Symposium on VLSI Technology*, pp. 192-193, 2009.

[44] J. Kim, A.J. Hong, S. M. Kim, E.B. Song, J.H. Park, J. Han, S. Choi, D. Jang, J.T. Moon, and K.L. Wang, "Novel Vertical-Stacked-Array-Transistor (VSAT) for Ultra-high-density and Cost-effective NAND Flash Memory Devices and SSD (Solid State Drive)," *Digest of Technical Papers, 2009 Symposium on VLSI Technology,* pp. 186-187, 2009.

[45] W. Kim, S. Choi, J. Sung, T. Lee, C. Park, H. Ko, J. Jung, I. Yoo, and Y. Park, "Multi-layered Vertical Gate NAND Flash Overcoming Stacking Limit for Terabit Density Storage," *Digest of Technical Papers, 2009 Symposium on VLSI Technology,* pp. 188-189, 2009.

[46] C.H. Hung, H.T. Lue, K.P. Chang, C.P. Chen, Y.H. Hsiao, S.H. Chen, Y.H. Shih, K.Y. Hsieh, M. Yang, J. Lee, S.Y. Wang, T. Yang, K.C. Chen, and C.Y. Lu, "A Highly Scalable Vertical Gate (VG) 3D NAND with High Program Disturb Immunity using a Novel PN Diode Decoding Structure", *Digest of Technical Papers, 2011 Symposium on VLSI Technology,* 4B-1, 2011.

[47] S.H. Chen, H.T. Lue, Y.H. Shih, C.F. Chen, T.H. Hsu, Y.R. Chen, Y.H. Hsiao, S.C. Huang, K.. Chang, C.C. Hsieh, G.R. Lee, A. Chuang, C.W. Hu, C.J. Chiu, L.Y. Lin, H.J. Lee, F.N. Tsai, C.C. Yang, T.H. Yang, and C.Y. Lu, "A Highly Scalable 8-layer Vertical Gate 3D NAND with Split-page Bit Line Layout and Efficient Binary-sum MiLC (Minimal Incremental Layer Cost) Staircase Contacts", *Tech. Digest 2012 Electron Devices Meeting*, 2.3.1-2.3.4, 2012.

[48] R. Katsumata, M. Kito, Y. Fukuzumi, M. Kido, H. Tanaka, Y. Komori, M. Ishiduki, J. Matsunami, T. Fujiwara, Y. Nagata, L. Zhang, Y. Iwata, R. Kirisawa, H. Aochi and A. Nitayama, "Pipe-shaped BiCS Flash Memory with 16 Stacked Layers and Multi-Level-Cell Operation for Ultra High Density Storage Devices," *Digest of Technical Papers, 2009 Symposium on VLSI Technology,* pp. 136-137, 2009.

[49] S.J. Whang, K.H. Lee, D.C. Shin, B.Y. Kim, M.S. Kim, J.H. Bin, J.H. Han, S.J. Kim, B.M. Lee, Y.K. Jung, S.Y. Cho, C.H. Shin, H.S. Yoo, S.M. Choi, K. Hong, S. Aritome, S.K. Park, and S.J. Hong, "Novel 3-dimentional Dual Control-Gate with Surrounding Floating-Gate (DC-SF) NAND Flash Cell for 1Tb File Storage Application", *Tech. Digest 2010 International Electron Devices Meeting*, pp. 668-671, 2010.

[50] Y.H. Hsiao, H.T. Lue, T.H. Hsu, K.Y. Hsieh, and C.Y. Lu, "A Critical Examination of 3D Stackable NAND Flash Memory Architectures by Simulation Study of the Scaling Capability", *2010 International Memory Workshop,* pp. 142-145, 2010.

[51] B. Eitan, P. Pavan, I. Bloom, E. Aloni, A. Frommer, and D. Finzi, "NROM: A Novel Localized Trapping, 2 bit Nonvolatile Memory Cell," *IEEE Electron Device Letters,* **21**, pp. 543–545, Nov. (2000).

[52] Y. K. Hong, D. J. Jung, S. K. Kang, H. S. Kim, J. Y. Jung, H. K. Koh, J. H. Park, D. Y. Choi, S. E. Kim, W. S. Ann, Y. M. Kang, H. H. Kim, J.-H. Kim, W. U. Jung, E. S. Lee, S. Y. Lee, H. S. Jeong and K. Kim, "130 nm-technology, 0.25 μm^2, 1T1C FRAM Cell for SoC (System-on-a-Chip)-friendly Applications," *Digest of Technical Papers, 2007 Symposium on VLSI Technology,* pp. 230-231, 2007.

[53] K. Miura, T. Kawahara, R. Takemura, J. Hayakawa, S. Ikeda, H. Takahashi, H. Matsuoka and H. Ohno, "A novel SPRAM (SPin-transfer torque RAM) with a synthetic ferromagnetic free layer for higher immunity to read disturbance and reducing write-current dispersion," *Digest of Technical Papers, 2007 Symposium on VLSI Technology,* pp. 234-235, 2007.

[54] H. Noguchi, K. Kushida, K. Ikegami, K. Abe, E. Kitagawa, S. Kashiwada, C. Kamata, A. Kawasumi, H. Hara, S. Fujita, "A 250-MHz 256b-I/O 1-Mb STT-MRAM with advanced perpendicular MTJ based dual cell for nonvolatile magnetic caches to reduce active power of processors" *Digest of Tech. Papers, 2013 Symposium on VLSII Circuit,* pp. 108-109, 2013.

[55] F. Xiong, A. Liao, D. Estrada, and E. Pop, "Low-power Switching of Phase-Change Materials with Carbon Nano Tube Electrodes", published online in *Science Express,* March 10th, 2011.

[56] Liang, R.G.D. Jeyasingh, H-Y. Chen and H-S. P. Wong, "A 1.4uA Reset Current Phase Change Memory Cell with Integrated Carbon Nanotube Electrodes for Cross-Point Memory Application", *Digest of Technical papers, 2011 Symposium on VLSI Technology,* 5B-4, 2011.

[57] I.S. Kim, S.L. Cho, D.H. Im, E.H. Cho, D.H. Kim, G.H. Oh, D.H. Ahn, S.O. Park, S.W. Nam, J.T. Moon, and C.H. Chung, "High Performance PRAM Cell Scalable to Sub-20nm Technology with below 4F2 Cell Size, Extendable to DRAM Applications", *Digest of Technical papers, 2010 Symposium on VLSI Technology,* 19-3, 2010.

[58] K.H. Xue, C. A. Paz de Araujo, J. Celinska, C. McWilliams, "A non-filamentary model for unipolar switching transition metal oxide resistance random access memories", J. Appl. Physics, 109, issue 9, pp. 091602-091602-6, May 2011.

[59] R.S. Shenoy, K. Gopalakrishnan, B. Jackson, K. Virwani, G.W. Burr, C.T. Rettner, A. Padilla, D.S. Bethune, R.M. Shelby, A.J. Kellock, M. Breitwisch, E.A. Joseph, R. Dasaka, R.S. King, K. Nguyen, A.N. Bowers, M. Jurich, A.M. Friz, T. Topuria, P.M. Rice, B.N. Kurdi, "Endurance and scaling trends of novel access-devices for multi-layer crosspoint-memory based on mixed-ionic-electronic-conduction (MIEC) materials", *Digest of Tech. Papers, 2011 Symposium on VLSI Technology,* pp. 94-95, 2011.

[60] H.Y. Chen, S.M. Yu, B. Gao, P. Huang, J.F. Kang, H.-S.P. Wong, "HfOx Based Vertical Resistive Random Access Memory for Cost-Effective 3D Cross-Point Architecture without Cell Selector", *Tech. Digest 2012 International Electron Devices Meeting,* pp. 497-500, (20.7.1-20.7.4), 2012.

[61] Linder, B. P., E. Cartier, S. Krishnan, and E. Wu, "Improving and optimizing reliability in future technologies with high-k dielectrics", Int. Symp. VLSI Technology, Systems, and Applications (VLSI-TSA), 2013.